



(51) 国際特許分類6 H01L 23/50	A1	(11) 国際公開番号 WO99/49512 (43) 国際公開日 1999年9月30日(30.09.99)
(21) 国際出願番号 PCT/JP98/01219 (22) 国際出願日 1998年3月20日(20.03.98) (71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立マイコンシステム (HITACHI MICROCOMPUTER SYSTEM, LTD.)(JP/JP) 〒187-0022 東京都小平市上水本町5丁目22番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 宮本美典(MIYAKI, Yoshinori)(JP/JP) 〒190-0001 東京都立川市若葉町1-3-17 若葉コーポ202号 Tokyo, (JP) 鈴木博通(SUZUKI, Hiromichi)(JP/JP) 〒207-0022 東京都東大和市桜が丘3-44-13 21-201 Tokyo, (JP) 鈴木一成(SUZUKI, Kazunari)(JP/JP) 〒143-0024 東京都大田区中央4-20-10 Tokyo, (JP) 西田隆文(NISHITA, Takafumi)(JP/JP) 〒358-0053 埼玉県入間市仏子1155-4 Saitama, (JP)		伊藤富士夫(ITO, Fujio)(JP/JP) 〒357-0041 埼玉県飯能市美杉台4-5-6 Saitama, (JP) 坪崎邦宏(TSUBOSAKI, Kunihiro)(JP/JP) 〒191-0054 東京都日野市東平山2-29-22 Tokyo, (JP) 亀岡昭彦(KAMEOKA, Akihiko)(JP/JP) 〒350-0413 埼玉県入間郡越生町如意968-20 Saitama, (JP) 西 邦彦(NISHI, Kunihiro)(JP/JP) 〒185-0001 東京都国分寺市北町4-13-20 Tokyo, (JP) (74) 代理人 弁理士 筒井大和(TSUTSUI, Yamato) 〒160-0023 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP) (81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書
(54)Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME (54)発明の名称 半導体装置およびその製造方法 <div data-bbox="175 1283 1317 1623"> </div> (57) Abstract The occurrence of package crack in the vicinity of the rear surface at a die pad part is suppressed by setting the outer dimensions at the die pad part of a lead frame to be smaller than those of a semiconductor chip to be mounted thereon and the occurrence of package crack in the vicinity of the major surface of the semiconductor chip is suppressed by forming an organic layer exhibiting high adhesion to a resin composing the package body on a surface protective film (final passivation film) covering the uppermost layer wiring of the semiconductor chip.		

(57)要約

リードフレームのダイパッド部の外形寸法を、その上に搭載する半導体チップのそれよりも小さくすることにより、ダイパッド部の裏面近傍におけるパッケージ・クラックの発生を抑制すると共に、半導体チップの最上層配線を覆う表面保護膜（ファイナル・パッシベーション膜）の上に、パッケージ本体を構成する樹脂との密着性がよい有機層を形成することにより、半導体チップの主面近傍におけるパッケージ・クラックの発生を抑制する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AL アルバニア	EE エストニア	LC セントルシア	SD スーダン
AM アルメニア	ES スペイン	LI リヒテンシュタイン	SE スウェーデン
AT オーストリア	FI フィンランド	LK スリ・ランカ	SG シンガポール
AU オーストラリア	FR フランス	LR リベリア	SI スロヴェニア
AZ アゼルバイジャン	GA ガボン	LS レソト	SK スロヴァキア
BA ボスニア・ヘルツェゴビナ	GB 英国	LT リトアニア	SL シエラ・レオネ
BB バルバドス	GD グレナダ	LU ルクセンブルグ	SN セネガル
BE ベルギー	GE グルジア	LV ラトヴィア	SZ スワジランド
BF ブルキナ・ファソ	GH ガーナ	MA モロッコ	TD チャード
BG ブルガリア	GM ガンビア	MC モナコ	TG トーゴ
BJ ベナン	GN ギニア	MD モルドヴァ	TJ タジキスタン
BR ブラジル	GW ギニア・ビサウ	MG マダガスカル	TZ タンザニア
BY ベラルーシ	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TM トルクメニスタン
CA カナダ	HR クロアチア	共和国	TR トルコ
CF 中央アフリカ	HU ハンガリー	ML マリ	TT トリニダード・トバゴ
CG コンゴ	ID インドネシア	MN モンゴル	UA ウクライナ
CH スイス	IE アイルランド	MR モーリタニア	UG ウガンダ
CI コートジボアール	IL イスラエル	MW マラウイ	US 米国
CM カメルーン	IN インド	MX メキシコ	UZ ウズベキスタン
CN 中国	IS アイスランド	NE ニジェール	VN ヴィエトナム
CR コスタ・リカ	IT イタリア	NL オランダ	YU ユーゴスラビア
CU キューバ	JP 日本	NO ノールウェー	ZA 南アフリカ共和国
CY キプロス	KE ケニア	NZ ニュー・ジラランド	ZW ジンバブエ
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

半導体装置およびその製造方法

5 技術分野

本発明は、半導体装置およびその製造方法に関し、特に、リードフレームのダイパッド部に搭載した半導体チップを樹脂封止したパッケージの信頼性向上に適用して有効な技術に関する。

10 背景技術

QFP (Quad Flat Package)などの表面実装型樹脂パッケージは、基板実装時の半田リフロー工程で問題となるパッケージ・クラックの発生を防止することが重要な課題となっている。

パッケージを構成する樹脂は吸湿性があるので、トランスファ・モールド法によって樹脂を成形した後は、大気中の水分がある程度パッケージ内に浸入する。そのため、パッケージ完成後の温度サイクル試験時の熱や、パッケージをプリント配線基板に半田付けする時の熱によって樹脂中の水分が急激に気化膨張し、パッケージ・クラックを引き起こす。

上記したパッケージ・クラックは、半導体チップを搭載したダイパッド部の裏面と樹脂との界面近傍において特に発生し易いことが知られている。これは、リードフレームを構成する金属と樹脂との密着力が比較的弱いためで、特にダイパッド部は、パッケージに封止されたリードフレーム中、最も面積の広い部分であることから、パッケージの加熱によって生じる熱応力が大きく、これによって局所的に樹脂が剥離し、そこに水分が溜まるためであると考えられている。

特開昭63-204753号公報および特開平6-216303号公報は、上記したパッケージ・クラックの発生を抑制する対策として、ダイパッド部の外形寸法を、その上に搭載するチップの外径寸法よりも小さくしたリードフレーム構造を提案している。このリードフレーム構造によれば、ダイパッド部と樹脂とが界面を接する部分の面積が小さくなり、その分、両者の界面に溜まる水分が減少

すると共に、リードフレームに比べて樹脂との密着性がよいシリコンウエハの裏面の一部が樹脂と直接界面を接するようになるので、ダイパッド部の裏面近傍におけるパッケージ・クラックの発生が抑制されるようになる。

5 他方、ダイパッド部に搭載されたチップの主面（素子形成面）側は、チップの最上層部に形成された表面保護膜（ファイナル・パッシベーション膜）とパッケージを構成する樹脂とが界面を接している。この表面保護膜は、CVD (Chemical Vapor-Deposition) 法で成膜した酸化シリコン膜や窒化シリコン膜などの無機系絶縁材料で構成されており、パッケージを構成する樹脂との密着力は、リードフレーム（金属）と樹脂との密着力に比べて大きい。

10 ところが、ダイパッド部の外形寸法を、その上に搭載するチップのそれよりも小さくした上記のリードフレーム構造を採用した樹脂パッケージの場合、ダイパッド部の裏面と樹脂との界面近傍でのパッケージ・クラックは抑制されるが、チップの表面と樹脂との密着力は従前と変わりはない。そのため、パッケージの吸湿量が多い場合には、ダイパッド部の裏面側に比べて相対的に密着力が低下した
15 チップの表面側でパッケージ・クラックが発生し、ワイヤの断線といった深刻な不良を引き起こすことが本発明者の検討によって明らかとなった。

本発明の目的は、樹脂パッケージのリフロー・クラック耐性を向上させることのできる技術を提供することにある。

20 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

25 本発明の半導体装置は、リードフレームのダイパッド部に搭載した半導体チップを樹脂封止したパッケージであって、前記ダイパッド部の外形寸法を、その上に搭載する半導体チップのそれよりも小さくすることにより、前記ダイパッド部の裏面近傍におけるパッケージ・クラックの発生を抑制し、かつ前記半導体チップの最上層配線を覆う表面保護膜（ファイナル・パッシベーション膜）の上に、

パッケージを構成する樹脂との密着性がよい有機層を形成することにより、前記半導体チップの主面近傍におけるパッケージ・クラックの発生を抑制するようにしたものである。

5 その他、本願に記載された発明の概要を項分けして説明すれば、以下の通りである。

（１）本発明の半導体装置は、リードフレームのダイパッド部とその上に搭載した半導体チップとを樹脂封止したパッケージを有し、前記半導体チップの主面を有機層で被覆し、前記ダイパッド部の外形寸法を前記半導体チップの外形寸法よりも小さくしたものである。

10 （２）本発明の半導体装置は、前記（１）の有機層がポリイミド樹脂で構成されている。

（３）本発明の半導体装置は、前記（１）の有機層が感光性ポリイミド樹脂で構成されている。

15 （４）本発明の半導体装置は、前記（１）の半導体チップの主面に形成された最上層配線の上部に無機系の絶縁材料からなる表面保護膜が形成され、前記表面保護膜の上部に前記有機層が形成されている。

（５）本発明の半導体装置は、前記（４）の有機層と前記表面保護膜とを開孔してボンディングパッドが形成され、前記ボンディングパッドと前記リードフレームのリードとがワイヤを介して電氣的に接続されている。

20 （６）本発明の半導体装置は、前記（４）の表面保護膜が、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜のいずれかで構成されている。

（７）本発明の半導体装置は、前記（１）のリードフレームがFe-Ni合金またはCuで構成されている。

（８）本発明の半導体装置の製造方法は、以下の工程を含んでいる；

25 （a）半導体ウエハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に有機層を形成する工程、

（b）前記有機層の上部に形成したフォトリソスト膜をマスクにしたエッチングで、前記最上層配線の上部の前記有機層と前記表面保護膜とを開孔することによ

りボンディングパッドを形成する工程、

(c) レジスト除去液を使って前記フォトリソ膜を除去した後、前記有機層を高温加熱する工程、

(d) 前記半導体ウェハをダイシングして半導体チップを得る工程、

- 5 (e) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載する工程、

(f) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

- 10 (9) 本発明の半導体装置の製造方法は、前記(8)のレジスト除去液がフェノール系の溶剤を主成分として含有している。

(10) 本発明の半導体装置の製造方法は、前記(8)の(c)工程の後、前記(d)工程に先立ち、前記半導体ウェハの主面を第2のフォトリソ膜と保護テープとで覆った状態でその裏面を研削することにより、前記半導体ウェハの厚さを薄くする工程と、前記保護テープを除去した後、レジスト除去液を使って前記第2のフォトリソ膜を除去し、次いで前記有機層を高温加熱する工程とをさらに含んでいる。

(11) 本発明の半導体装置の製造方法は、以下の工程を含んでいる；

- 20 (a) 半導体ウェハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に感光性ポリイミド樹脂層を形成する工程、

(b) 前記感光性ポリイミド樹脂層を露光、現像して、前記最上層配線の上部の前記感光性ポリイミド樹脂層に開孔を形成する工程、

- 25 (c) 前記開孔を形成した感光性ポリイミド樹脂層をマスクにしたエッチングで、前記最上層配線の上部の前記表面保護膜を開孔することによりボンディングパッドを形成する工程、

(d) 前記感光性ポリイミド樹脂層を高温加熱する工程、

(e) 前記半導体ウェハをダイシングして半導体チップを得る工程、

(f) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載

する工程、

(g) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

図面の簡単な説明

- 5 図1は、本発明の一実施形態であるTQFPの斜視図である。
図2は、本発明の一実施形態であるTQFPの断面図である。
図3は、本発明の一実施形態であるTQFPに封止された半導体チップの断面図である。
図4は、本発明の一実施形態であるTQFPの製造方法を示す半導体ウェハの
10 要部断面図である。
図5は、本発明の一実施形態であるTQFPの製造方法を示す半導体ウェハの
要部断面図である。
図6は、本発明の一実施形態であるTQFPの製造方法を示す半導体ウェハの
要部断面図である。
15 図7は、本発明の一実施形態であるTQFPの製造方法を示す半導体ウェハの
要部断面図である。
図8は、半導体ウェハの裏面研削工程を示す説明図である。
図9は、半導体ウェハのダイシング工程を示す説明図である。
図10は、本発明の一実施形態であるTQFPの製造に用いるリードフレーム
20 の要部平面図である。
図11は、半導体チップをダイパッド部に搭載する工程を示す説明図である。
図12は、半導体チップをダイパッド部に搭載する工程を示す説明図である。
図13は、半導体チップをダイパッド部に搭載する工程を示す説明図である。
図14は、本発明の一実施形態であるTQFPの製造工程を示すフロー図であ
25 る。
図15は、本発明の他の実施形態であるTQFPの製造工程を示すフロー図で
ある。
図16は、本発明の他の実施形態であるTQFPの製造工程を示すフロー図で
ある。

図17は、本発明の他の実施形態であるTQFPの製造工程を示すフロー図である。

発明を実施するための最良の形態

- 5 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

図1は、本発明の一実施形態であるTQFP (Thin Quad Flat Package)の斜視図、図2は、このTQFPの断面図、図3は、このTQFPに封止された半導体
10 チップの拡大断面図である。

図1および図2に示すように、TQFPのパッケージ本体1は、トランスファ・モールド法より成形されたエポキシ系樹脂からなり、その内部には半導体チップ2が封止されている。この半導体チップ2は単結晶シリコンからなり、その主面にはマイコン、ASICなどのLSIが形成されている。

- 15 上記半導体チップ2の周囲には、TQFPの外部接続端子を構成する複数本のリード3の一端部（インナーリード部3A）が配置されている。リード3は、42アロイなどのFe-Ni合金またはCuからなり、インナーリード部3Aは、Au、Alなどからなるワイヤ4を介して半導体チップ2と電氣的に接続されている。また、リード3の他端部（アウターリード部3B）は、パッケージ本体1
20 の側面から外部に引き出されてガルウィング状に成形されている。

- 上記半導体チップ2は、リード3と同じ材料で構成されたダイパッド部5の上に接着剤9を介して接合されている。このダイパッド部5は、その上に搭載された半導体チップ2の外径寸法よりも小さい外形寸法で構成されており、半導体チップ2の裏面は、ダイパッド部5に接合された中央部を除く領域がパッケージ本体1
25 を構成する樹脂と直接界面を接している。

図3に示すように、半導体チップ2の主面（素子形成面）側は、LSIの最上層配線6を覆う表面保護膜（ファイナル・パッシベーション膜）7の上にポリイミド樹脂からなる有機層8が形成され、この有機層8がパッケージ本体1を構成するエポキシ系樹脂と界面を接している。LSIの最上層配線6は、例えばAl

合金からなり、その上部の表面保護膜 7 は、CVD 法で成膜した酸化シリコン膜や窒化シリコン膜などの無機系絶縁材料からなる。半導体チップ 2 とインナーリード部 3 A とを接続するワイヤ 4 の一端部は、最上層配線 6 を覆っている表面保護膜 7 とその上部の有機層 8 とを開孔して形成したボンディングパッド B P に接続されている。

ダイパッド部 5 の外形寸法を、その上に搭載する半導体チップ 2 のそれよりも小さくした本実施形態の T Q F P によれば、パッケージ本体 1 を構成する樹脂とダイパッド部 5 とが界面を接する部分の面積が小さくなり、かつダイパッド部 5 に比べて樹脂との密着性がよい半導体チップ 2 の裏面の一部が樹脂と直接界面を接するようになるので、ダイパッド部 5 の裏面近傍におけるパッケージ・クラックの発生が抑制される。

また、L S I の最上層配線 6 を覆う表面保護膜（ファイナル・パッシベーション膜）7 の上に、パッケージ本体 1 を構成するエポキシ系樹脂と同じ有機系の絶縁材料であるポリイミド樹脂からなる有機層 8 を形成した本実施形態の T Q F P によれば、無機系絶縁材料である表面保護膜 7 に比べて樹脂との親和性が高い（従って、密着性がよい）有機層 8 が樹脂と直接界面を接するようになるので、半導体チップ 2 の主面近傍におけるパッケージ・クラックの発生が抑制される。

すなわち、本実施形態の T Q F P によれば、半導体チップ 2 の主面側もダイパッド部 5 の裏面側も、パッケージ本体 1 を構成する樹脂との密着性が向上するので、リフロー・クラック耐性の向上した T Q F P を実現することができる。

次に、上記のように構成された本実施形態の T Q F P の製造方法を図 4 ～ 図 1 2 と図 1 3 のプロセスフロー図とを用いて説明する。

図 4 は、L S I の最上層配線 6 の上部に表面保護膜 7 を堆積した半導体ウエハ 2 A の要部（チップ約 1 個分）を示す断面図である。最上層配線 6 は、例えば半導体ウエハ 2 A 上にスパッタリング法で堆積した A 1 合金膜をパターンニングして形成する。また、表面保護膜 7 は、例えば半導体ウエハ 2 A 上に CVD 法で酸化シリコン膜と窒化シリコン膜とを堆積して形成する。

次に、図 5 に示すように、表面保護膜 7 の上部にスピン塗布したポリイミド樹脂を 180℃程度の温度でベークして有機層 8 を形成した後、図 6 に示すように、

ボンディングパッド形成領域を開孔したフォトレジスト膜10を有機層8の上部に形成し、このフォトレジスト膜10をマスクにしたドライエッチングで有機層8とその下層の表面保護膜7とを開孔して最上層配線6の一部を露出させることにより、ボンディングパッドBPを形成する。

- 5 次に、図7に示すように、有機層8の上部に残ったフォトレジスト膜10をレジスト除去液を使って除去する。このレジスト除去液は、例えばフェノール系の溶剤を主成分として含有する有機溶剤からなる。

10 上記レジスト除去液を使ったフォトレジスト膜10の除去工程では、フォトレジスト膜10と同じ有機系の絶縁材料であるポリイミド樹脂からなる有機層8の表面がレジスト除去液に晒されて変成し、パッケージ本体1を構成する樹脂との密着性が低下する。そこで、本実施形態では、フォトレジスト膜10を除去した後、有機層8を例えば350℃程度の高温で4分以上加熱することによって、樹脂との密着性を回復させる。

15 次に、半導体チップ2を厚さ1mmのTQFPパッケージに封止できるようにするために、半導体ウエハ2Aの裏面を研削してその厚さを0.4mm程度まで薄くする。半導体ウエハ2Aの裏面研削は、例えば図8に示すように、主面側に表面保護テープ11を貼り付けた半導体ウエハ2Aをステージ12の上に固定し、高速回転するダイヤモンド・ホイール13で裏面を研削することにより行う。

20 次に、半導体ウエハ2Aの主面に貼り付けられた表面保護テープ11を剥がし、粘着剤などの異物を除去するための洗浄処理を行った後、図9に示すように、半導体ウエハ2Aの裏面側に粘着シート14を貼り付け、ダイシングブレード15を使ってチップ単位に分割することにより、半導体チップ2を得る。

25 次に、上記半導体チップ2をリードフレームに搭載する。図10に示すように、リードフレームLFの中央部には、半導体チップ2を搭載する円形のダイパッド部5が四本の吊りリード16によって支持されている。前述したように、このダイパッド部5の面積は、その上に搭載される半導体チップ2の面積よりも小さいのが特徴である。

上記ダイパッド部5の周囲には、複数本のリード3がダイパッド部5を囲むように配置されており、各リード3の中途部には、リード3の支持とモールド時に

おける樹脂の溢出防止とを兼ねたダムバー17がリード3間を連結するように形成されている。リード3は、このダムバー17の内側部分がインナーリード部3Aを構成し、外側部分がアウターリード部3Bを構成する。また、インナーリード部3Aの先端（ボンディングエリア）には、Ag/Niのメッキが施されている。

5 リードフレームLFの最外周部には外枠18および内枠19が形成され、外枠18の一部には、リードフレームLFをモールド金型に位置決めする際のガイドとなるガイド孔20が形成されている。なお、実際のリードフレームLFは、5～6個程度の半導体チップ2を搭載できるような多連構造になっているが、図にはチップ1個分の領域（単位フレーム）のみが示されている。

10 リードフレームLFを構成する上記ダイパッド部5、吊りリード16、リード3、ダムバー17、外枠18および内枠19は、42アロイやCuなどからなる板厚0.15mm程度のフープ材をプレス加工またはエッチング加工することにより形成される。なお、リードフレームLFの上記各部をプレス加工で形成する場合には、切断箇所の裏面側にバリ(Burr)が発生する。このリードフレームLFは、

15 ダイパッド部5の面積がその上に搭載される半導体チップ2の面積より小さいので、ダイパッド部5の端部にバリができると半導体チップ2を接着することができなくなる。従って、ダイパッド部5をプレス加工する時には、チップ搭載面を上に向けて上方から打ち抜くことによって、バリがチップ搭載面の裏側にできるようにする。一方、インナーリード部3Aの先端は、ワイヤボンディングの際に

20 バリが下側にあると、ワイヤがボンディングされにくく、ボンディング不良が生じることがある。従って、インナーリード部3Aをプレス加工する時は、ボンディング面を下に向けて上から打ち抜き、バリがワイヤボンディング面側にできるようにする。

また、リードフレームLFは、上記プレス加工（エッチング加工）後にダウン

25 セット加工が施される。ダウンセット加工は、プレス型（図示せず）を使って吊りリード16の中途部を下方に折り曲げることにより、水平方向から見たダイパッド部5の高さをリード3の高さよりも低くする作業である。このダウンセット加工により、半導体チップ2を搭載したリードフレームLFをモールド金型に装着してパッケージを成形する際、半導体チップ2の上面側とダイパッド部5の下

面側とで樹脂の肉厚がほぼ等しくなるので、ボイドなどの成形不良の発生を防止することができる。

上記リードフレームLFに半導体チップ2を搭載するには、まず図11および図12に示すように、リードフレームLFのダイパッド部5上にディスペンサ21を使って接着剤9を塗布する。接着剤9は、例えばAg粉末を混入した熱硬化性のエポキシ系樹脂からなる。リードフレームLFは、ダイパッド部5の面積が小さいので、接着剤9はダイパッド部5の表面の一点に塗布するだけでよい。そのため、接着剤9の塗布が短時間で行え、かつ塗布量も少量で済む。

次に、図13に示すように、リードフレームLFのダイパッド部5上にコレクト22を使って半導体チップ2を位置決めした後、リードフレームLFを200〜250℃程度に加熱して接着剤9を硬化させる。

その後、ワイヤボンディング装置（図示せず）を使って半導体チップ2のボンディングパッドBPとリード3のインナーリード部3Aとをワイヤ4で結線した後、モールド金型（図示せず）を使って半導体チップ2、ダイパッド部5、インナーリード部3Aおよびワイヤ4をパッケージ本体1に封止し、最後にパッケージ本体1の外部に露出したダムバー17、外枠18および内枠19などをプレスで切断除去した後、アウターリード部3Bをガルウィング状に成形することにより、前記図1および図2に示すTQFPが完成する。

次頁の表1は、表面保護膜7の上に有機層8を形成した半導体チップ2を樹脂封止したQFPと、有機層8を形成しない半導体チップ2を樹脂封止したQFPとでリフローリフロー・クラック耐性を比較した結果を示している。なお、有機層8は、ボンディングパッドBPを形成する際にエッチングマスクとして使用したフォトリソ膜10をレジスト除去液で除去した後、高温加熱処理を施して樹脂との密着性を回復させた。

表 1 (吸湿条件：85℃/85%RH パッケージ厚：2mm)

吸湿時間	有機層の有無	チップサイズ	チップ表面剥離	クラック
24時間	有(高温加熱)	6.48×6.66	0/45	0/45
48時間	有(高温加熱)	6.48×6.66	0/45	0/45
24時間	無	6.38×8.38	45/45	2/45
48時間	無	6.38×8.38	40/40	1/40

上記の表から明らかなように、表面保護膜7の上に有機層8を形成した場合には、チップ表面側の剥離およびパッケージクラックの発生が無かったのに対し、

- 5 有機層8を形成しなかった場合には、すべてのQFPでチップ表面側の剥離が生じ、その一部にパッケージクラックが発生した。

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

- 10 前記実施形態では、表面保護膜の上部にポリイミド樹脂からなる有機層を形成した後、フォトリソ膜をマスクにしたエッチングで有機層と表面保護膜とを開孔してボンディングパッドを形成したが、感光性ポリイミド樹脂を使って有機層を形成してもよい。この場合は、図15に示すように、感光性ポリイミド樹脂を露光、現像してボンディングパッド形成領域の上部に開孔を形成した後、この
- 15 感光性ポリイミド樹脂をマスクにしたエッチングで表面保護膜を開孔してボンディングパッドを形成する。

- この場合は、感光性ポリイミド樹脂の現像工程でその表面が現像液に晒され、表面保護膜をウェットエッチングで開孔する場合にはさらにエッチング液にも晒されるので、パッケージ本体を構成する樹脂との密着性が低下する。そこで、ボンディングパッドを形成した後、感光性ポリイミド樹脂を例えば350℃程度の
- 20 高温で4分以上加熱することによって、樹脂との密着性を回復させる。

また、半導体ウエハの裏面を研削する工程では、ウエハの主面を保護するために、この主面にフォトリソ膜を塗布してから、その上に表面保護テープを貼り付けて裏面研削を行ってもよい。この場合は、図16に示すように、ウエハの

- 裏面研削後、保護テープを剥がしてからその下層のフォトレジスト膜をレジスト除去液を使って除去する必要があるため、ポリイミド樹脂からなる有機層の表面がレジスト除去液に晒されて変成し、パッケージ本体を構成する樹脂との密着性が低下する。そこで、このフォトレジスト膜を除去した後、ポリイミド樹脂をも
- 5 う一度高温加熱することによって、樹脂との密着性を回復させる。またこの場合は、図17に示すように、ボンディングパッドを形成するために使用したフォトレジスト膜をレジスト除去液を使って除去した後、ポリイミド樹脂を高温加熱することなくその上部にフォトレジスト膜と表面保護テープとを積層し、ウェハの裏面研削後、保護テープを剥がしてからその下層のフォトレジスト膜をレジスト
- 10 除去液を使って除去し、その後にポリイミド樹脂を高温加熱することで工程を短縮することができる。

半導体チップの表面を覆う有機層はポリイミド樹脂に限定されるものではなく、表面保護膜を構成する無機絶縁膜およびパッケージ本体を構成する樹脂との密着性がよいものであれば、任意の有機絶縁材料を使用することができる。

- 15 リードフレームのダイパッド形状は円形に限定されるものではなく、チップの接着強度や接着剤の最低塗布領域を確保できるものであれば、その形状は任意である。また、ダイパッド部の一部に貫通孔を形成し、チップと樹脂との接着面積をさらに大きくすることにより、リフロー・クラック耐性をさらに向上させることができる。
- 20 パッケージはQFPに限定されるものではなく、ダイパッド部に搭載した半導体チップを樹脂封止する任意の表面実装型パッケージに適用することができる。

産業上の利用可能性

- 本発明のパッケージ構造によれば、樹脂パッケージのリフロー・クラック耐性を向上させることができるので、半導体チップを樹脂封止した表面実装型パッケージに広く適用することができる。
- 25

請 求 の 範 囲

1. リードフレームのダイパッド部とその上に搭載した半導体チップとを樹脂封止した半導体装置であって、前記半導体チップの主面を有機層で被覆し、前記ダイパッド部の外形寸法を前記半導体チップの外形寸法よりも小さくしたことを特徴とする半導体装置。
5
2. 請求項 1 記載の半導体装置であって、前記有機層はポリイミド樹脂からなることを特徴とする半導体装置。
3. 請求項 1 記載の半導体装置であって、前記有機層は感光性ポリイミド樹脂からなることを特徴とする半導体装置。
10
4. 請求項 1 記載の半導体装置であって、前記半導体チップの主面に形成された最上層配線の上部に無機系の絶縁材料からなる表面保護膜が形成され、前記表面保護膜の上部に前記有機層が形成されていることを特徴とする半導体装置。
5. 請求項 4 記載の半導体装置であって、前記有機層と前記表面保護膜とを開孔してボンディングパッドが形成され、前記ボンディングパッドと前記リードフレームのリードとがワイヤを介して電氣的に接続されていることを特徴とする半導体装置。
15
6. 請求項 4 記載の半導体装置であって、前記表面保護膜は、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜のいずれかであることを特徴とする半導体装置。
20
7. 請求項 1 記載の半導体装置であって、前記リードフレームはFe-Ni合金またはCuからなることを特徴とする半導体装置。
8. 以下の工程を含むことを特徴とする半導体装置の製造方法；
 - (a) 半導体ウエハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に有機層を形成する工程、
25
 - (b) 前記有機層の上部に形成したフォトリソ膜をマスクにしたエッチングで、前記最上層配線の上部の前記有機層と前記表面保護膜とを開孔することによりボンディングパッドを形成する工程、

(c) レジスト除去液を使って前記フォトリソ膜を除去した後、前記有機層を高温加熱する工程、

(d) 前記半導体ウェハをダイシングして半導体チップを得る工程、

5 (e) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載する工程、

(f) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

9. 請求項 8 記載の半導体装置の製造方法であって、前記レジスト除去液は、フェノール系の溶剤を主成分として含有することを特徴とする半導体装置の製造方法。

10 10. 請求項 8 記載の半導体装置の製造方法であって、前記 (c) 工程の後、前記 (d) 工程に先立ち、前記半導体ウェハの主面を第 2 のフォトリソ膜と保護テープとで覆った状態でその裏面を研削することにより、前記半導体ウェハの厚さを薄くする工程と、前記保護テープを除去した後、レジスト除去液を使って前記第 2 のフォトリソ膜を除去し、次いで前記有機層を高温加熱する工程とをさらに含むことを特徴とする半導体装置の製造方法。

11. 以下の工程を含むことを特徴とする半導体装置の製造方法；

20 (a) 半導体ウェハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に感光性ポリイミド樹脂層を形成する工程、

(b) 前記感光性ポリイミド樹脂層を露光、現像して、前記最上層配線の上部の前記感光性ポリイミド樹脂層に開孔を形成する工程、

25 (c) 前記開孔を形成した感光性ポリイミド樹脂層をマスクにしたエッチングで、前記最上層配線の上部の前記表面保護膜を開孔することによりボンディングパッドを形成する工程、

(d) 前記感光性ポリイミド樹脂層を高温加熱する工程、

(e) 前記半導体ウェハをダイシングして半導体チップを得る工程、

(f) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載

する工程、

(g) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

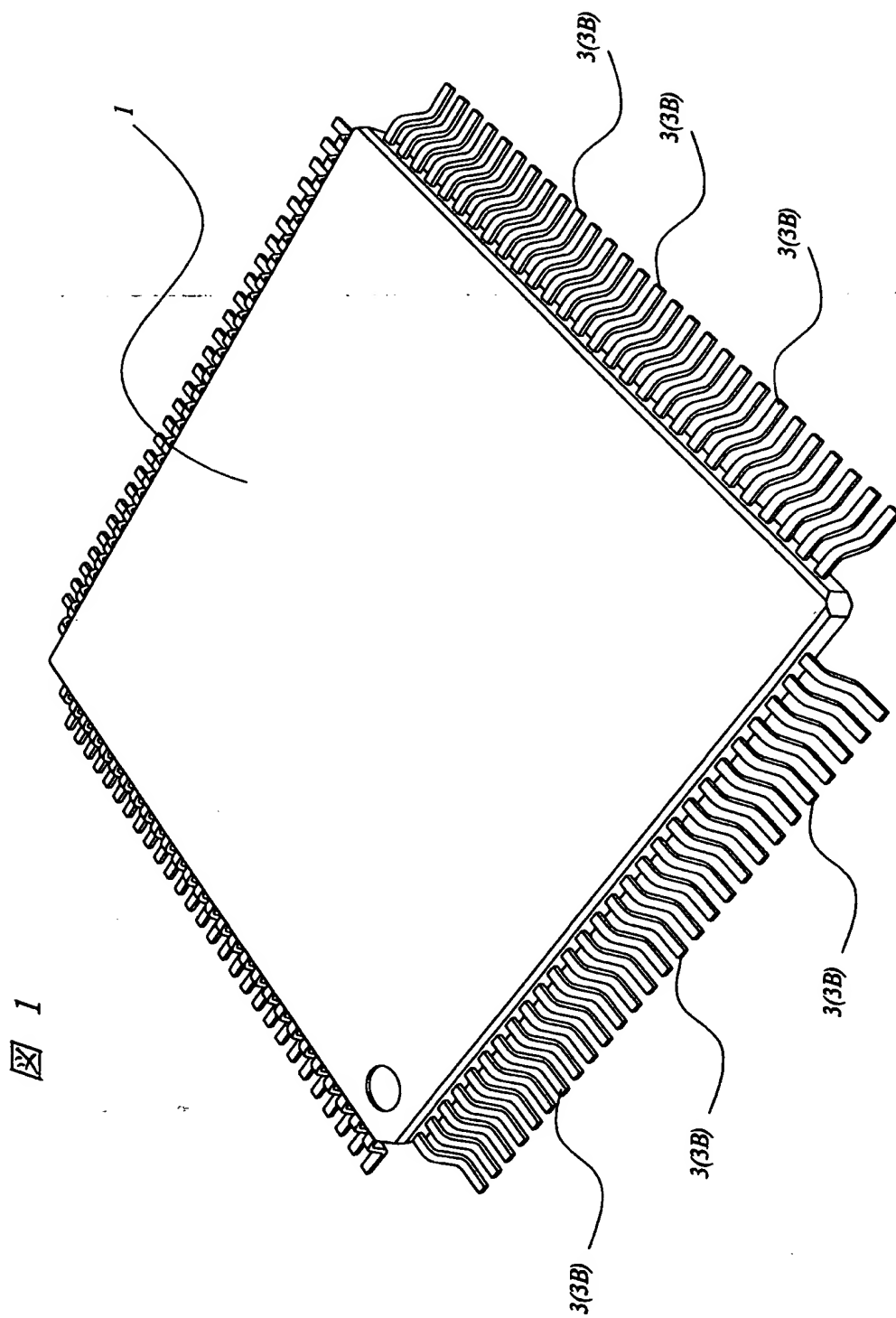
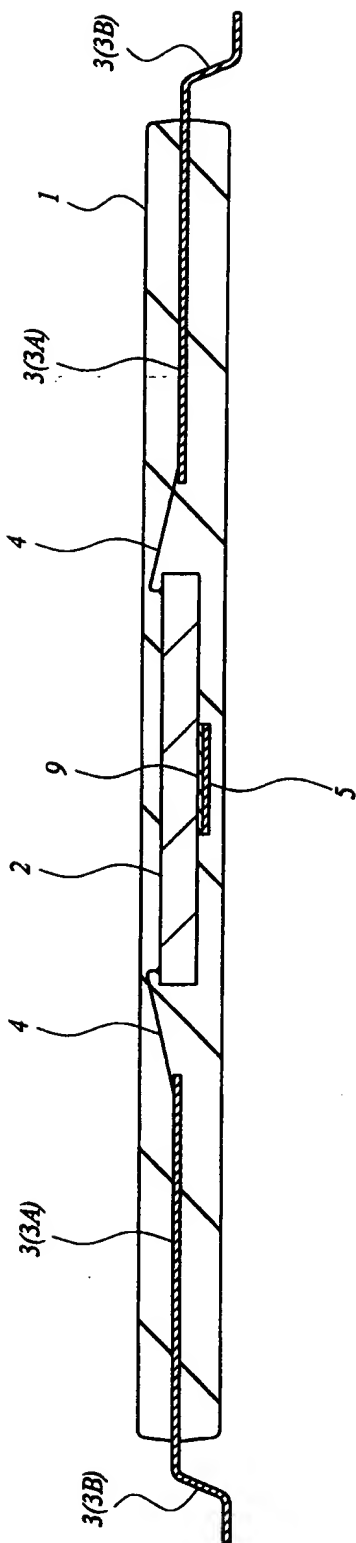
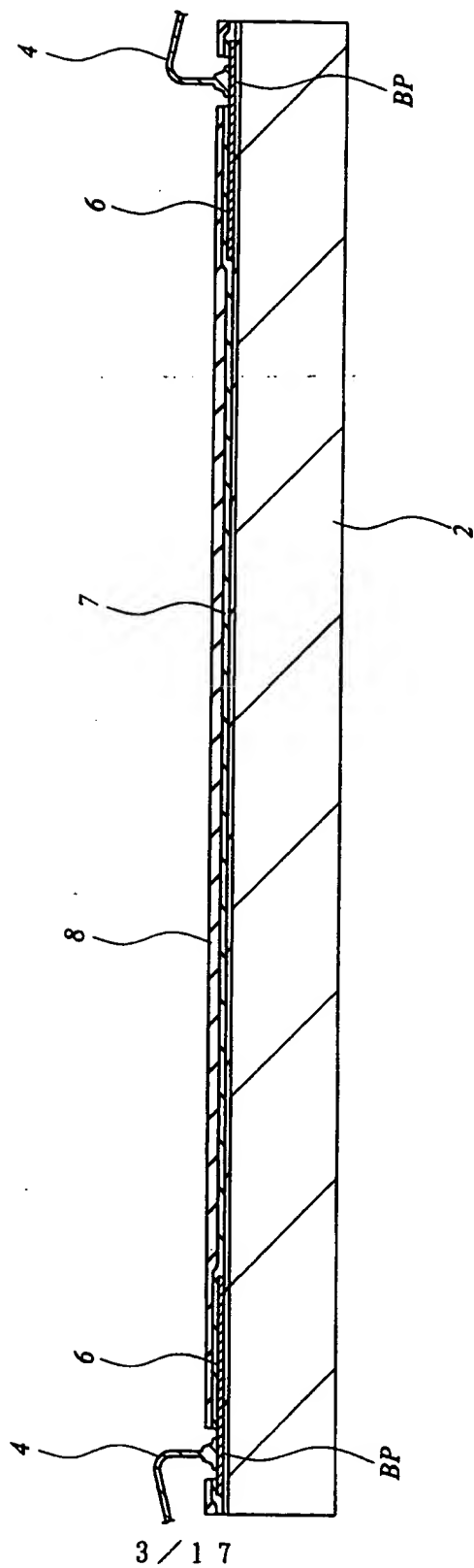


FIG. 1

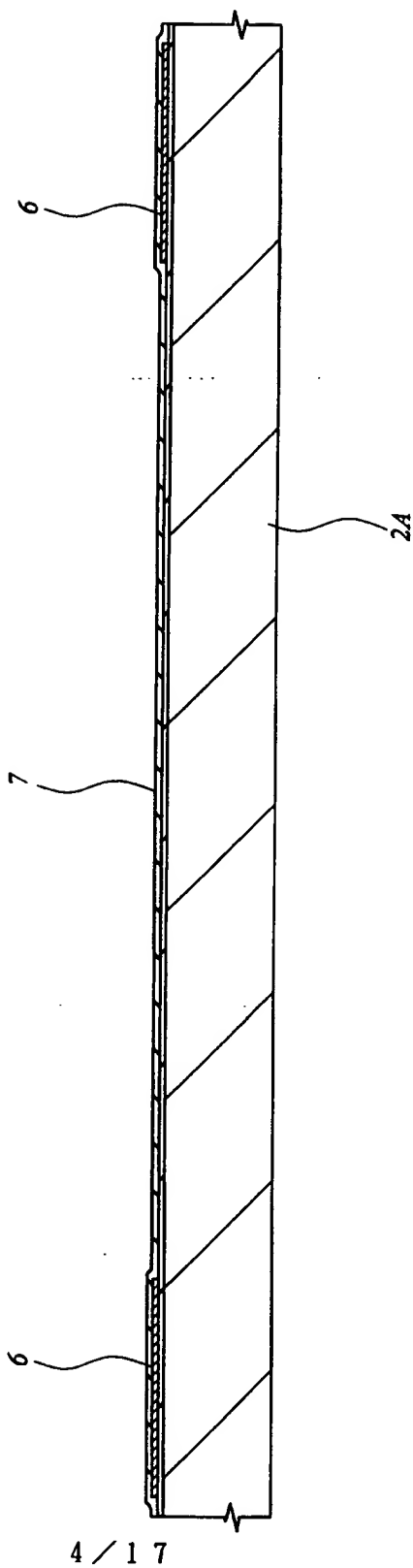
2



3

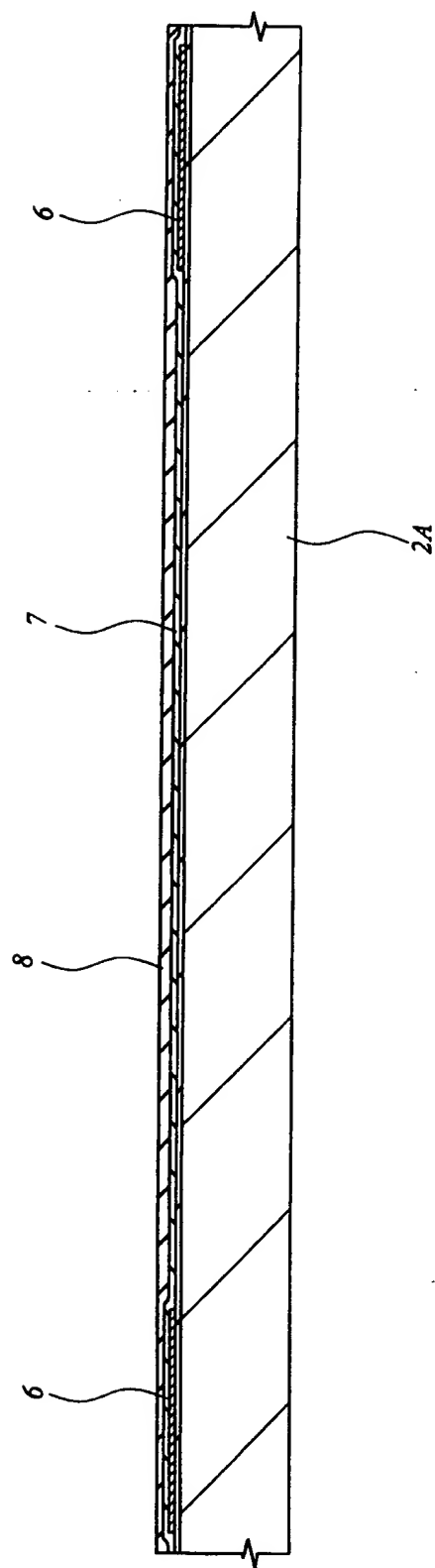


4

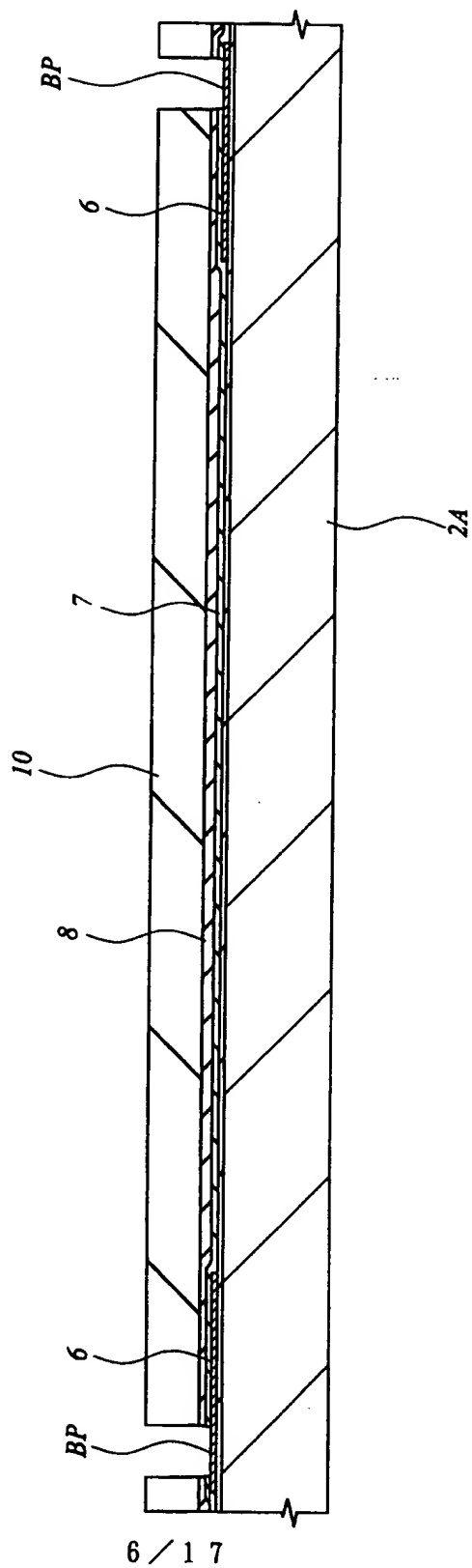


4 / 17

5

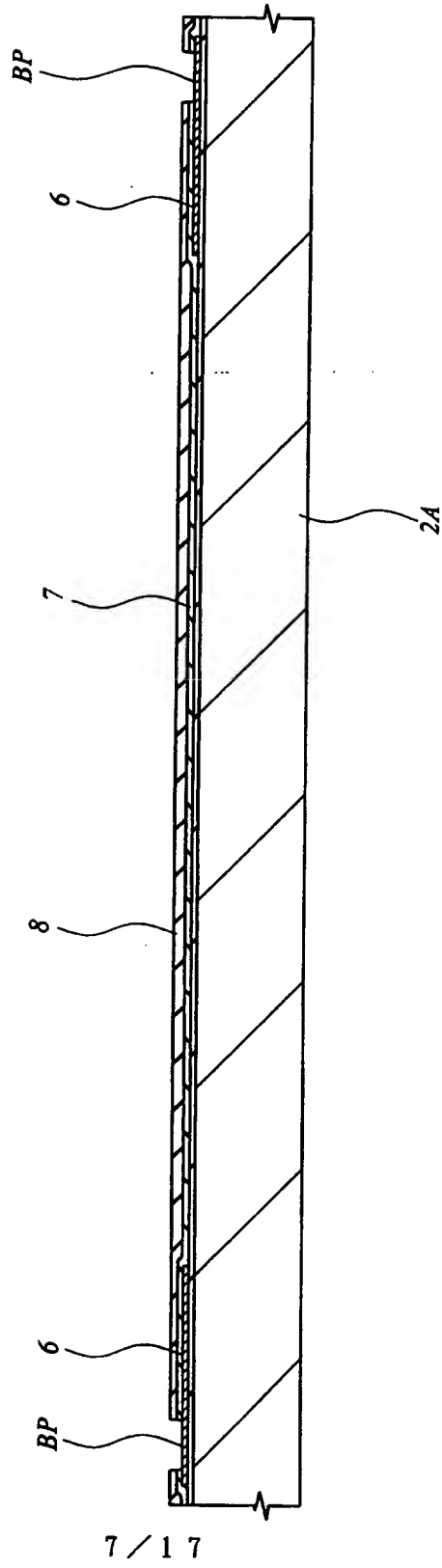


6

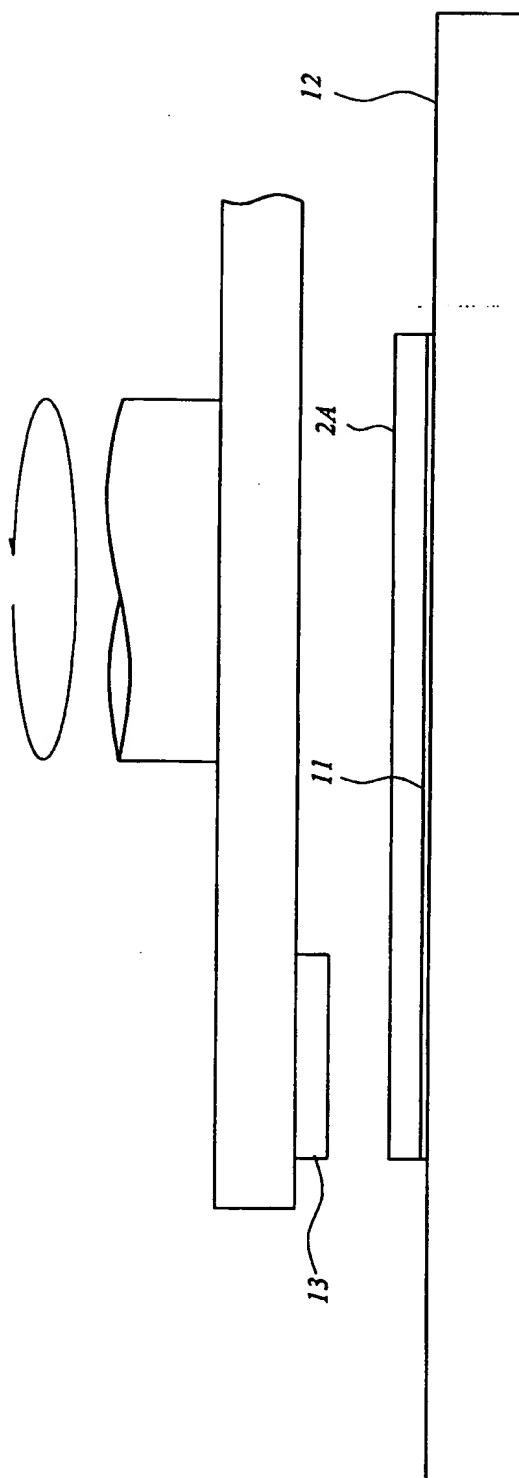


6 / 17

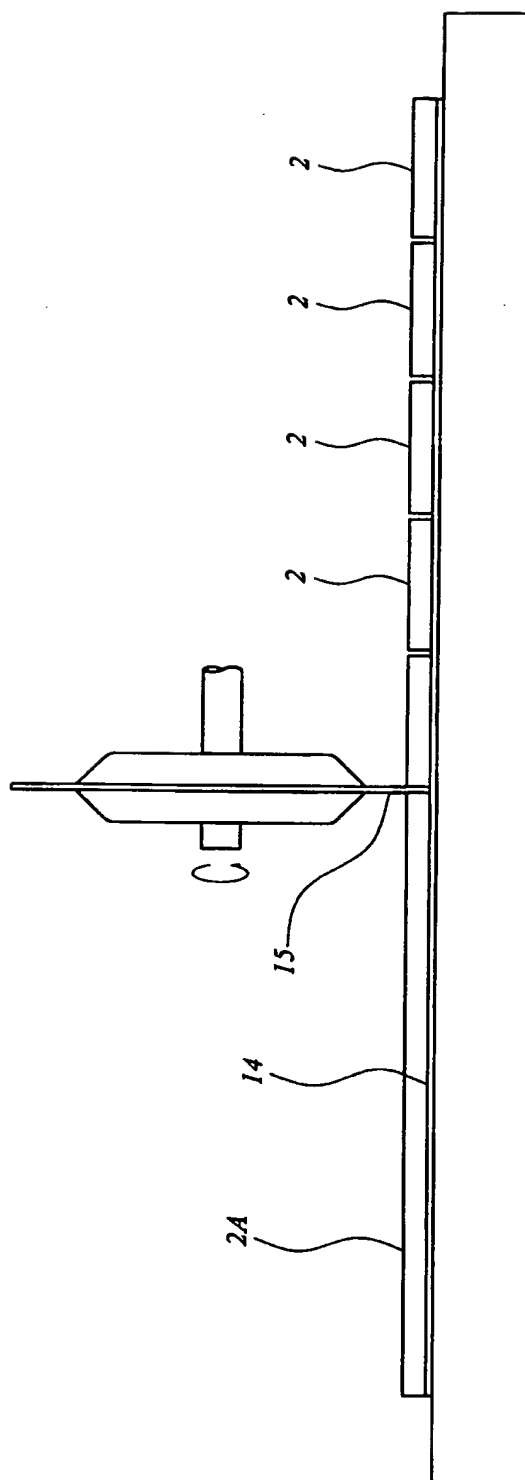
7



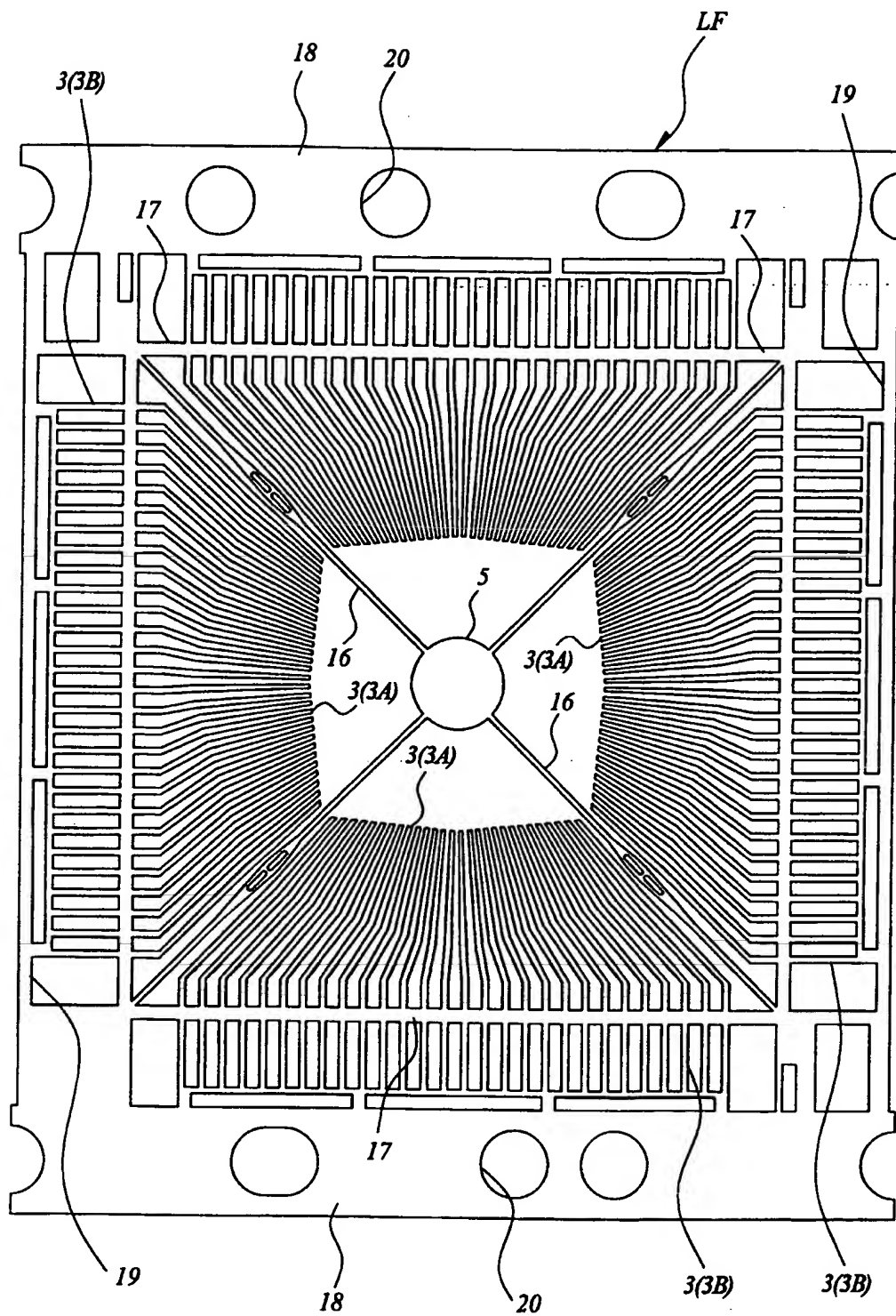
8



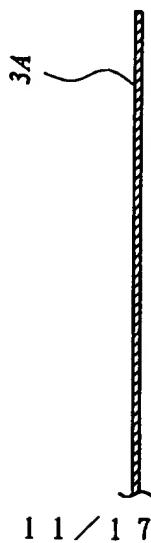
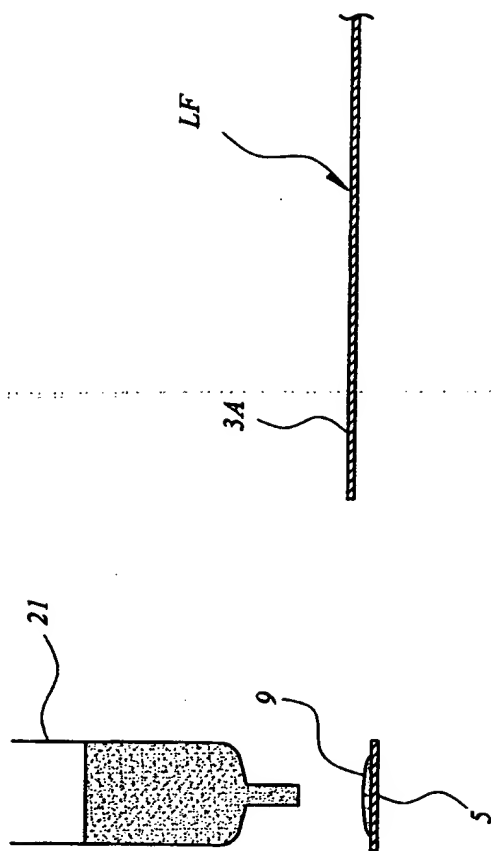
9



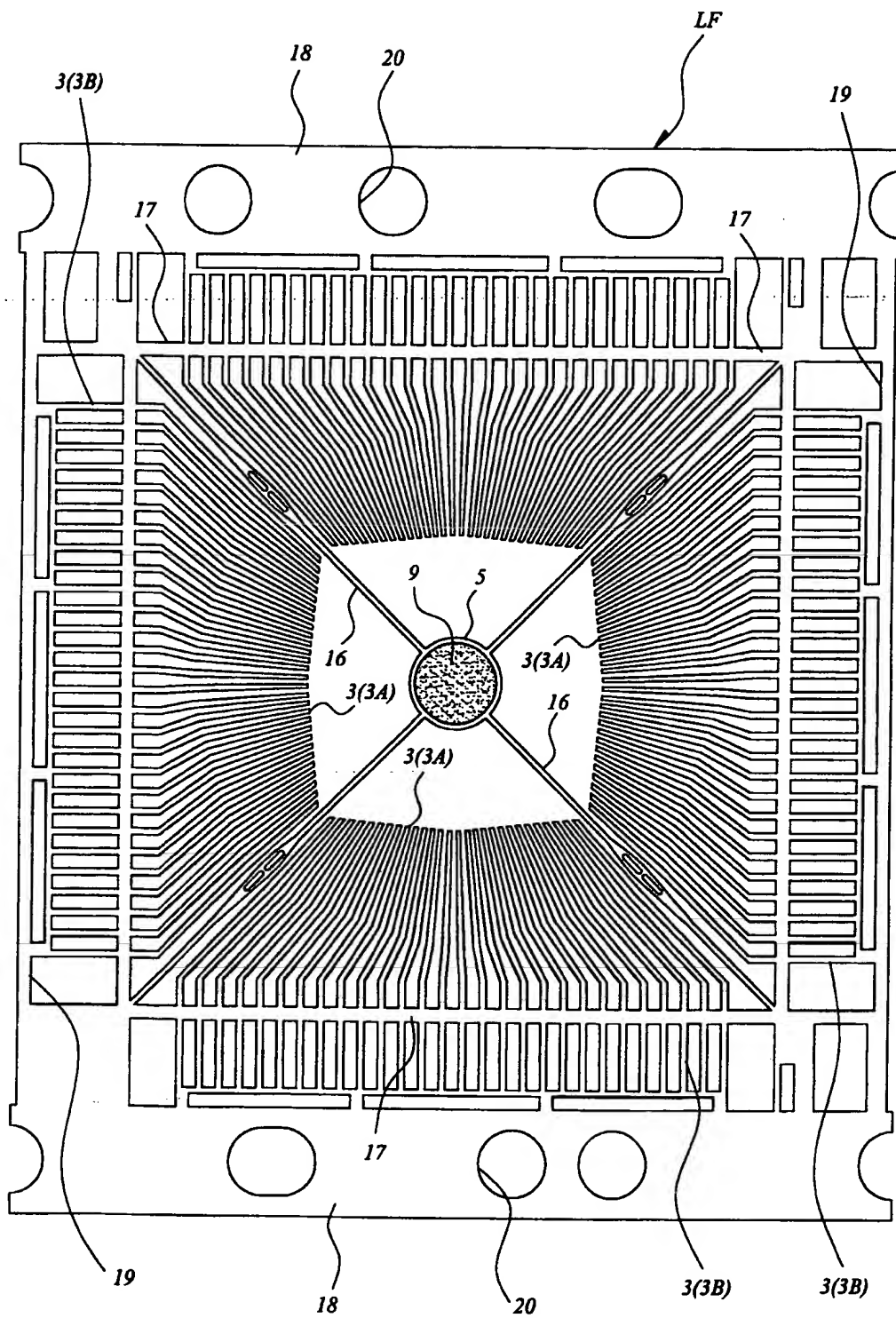
10



11



12



13

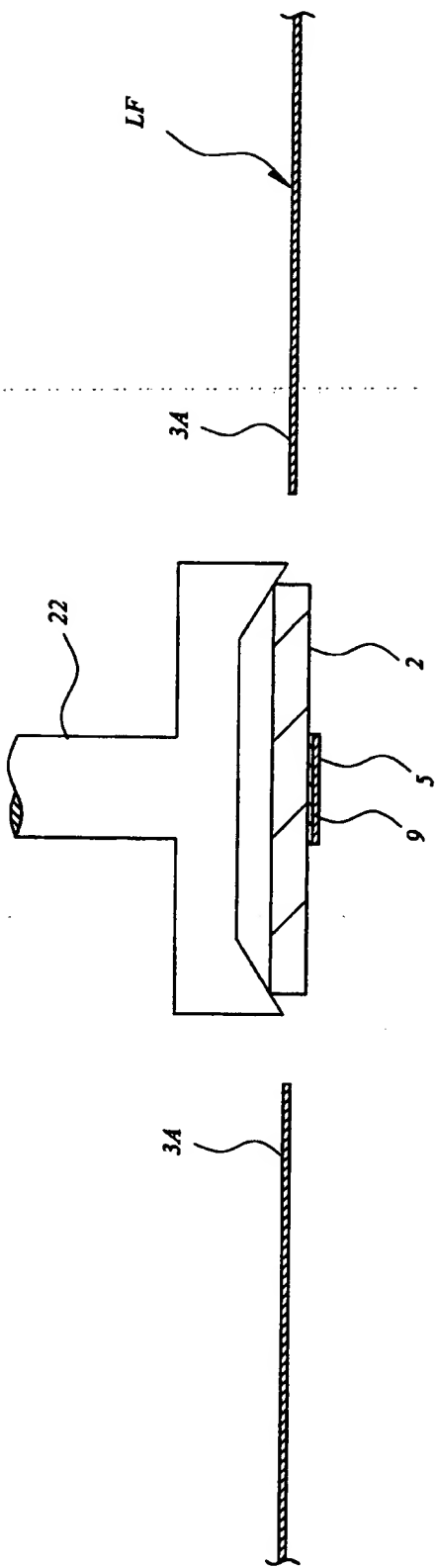


図 14

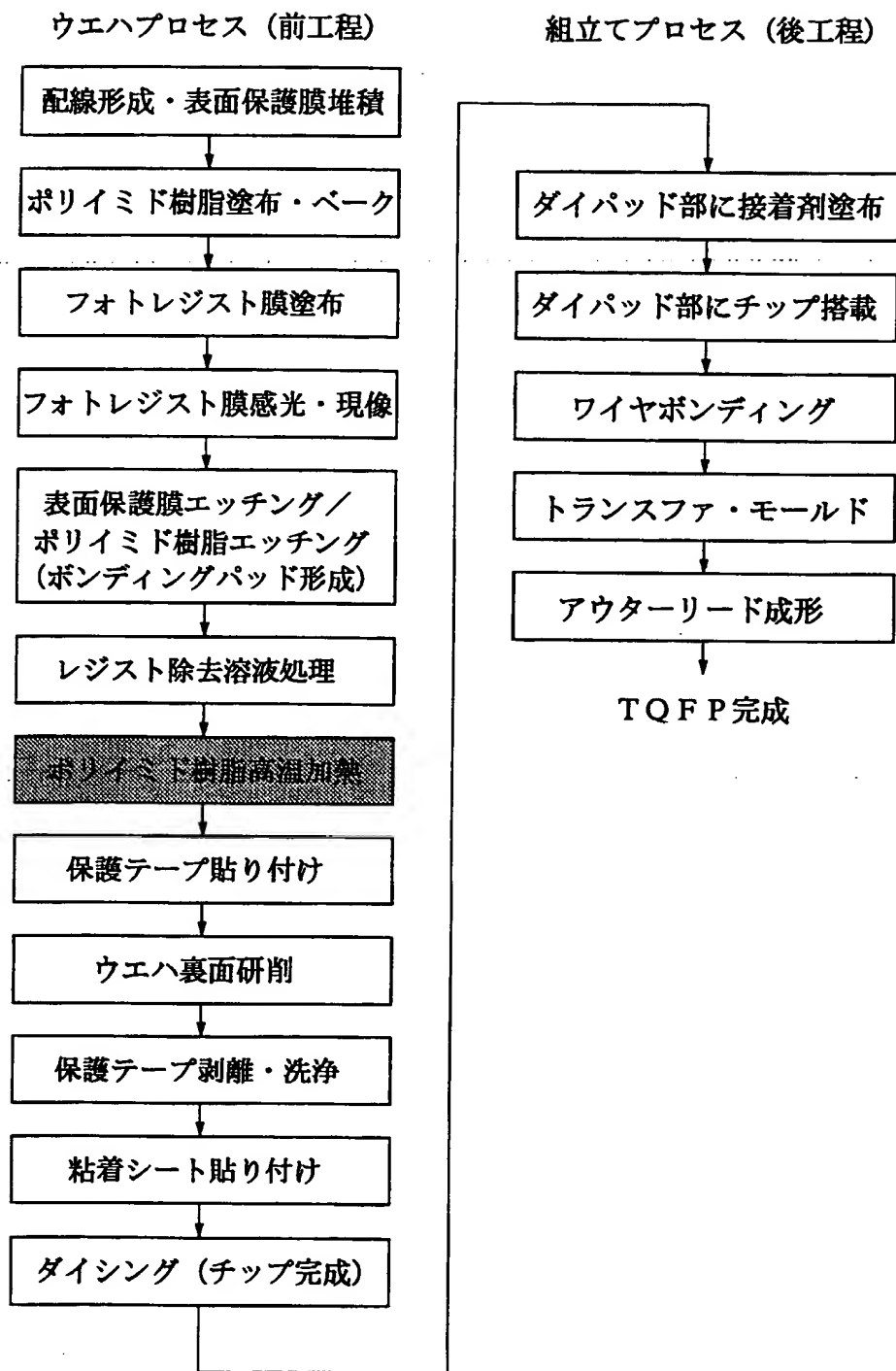


図 15

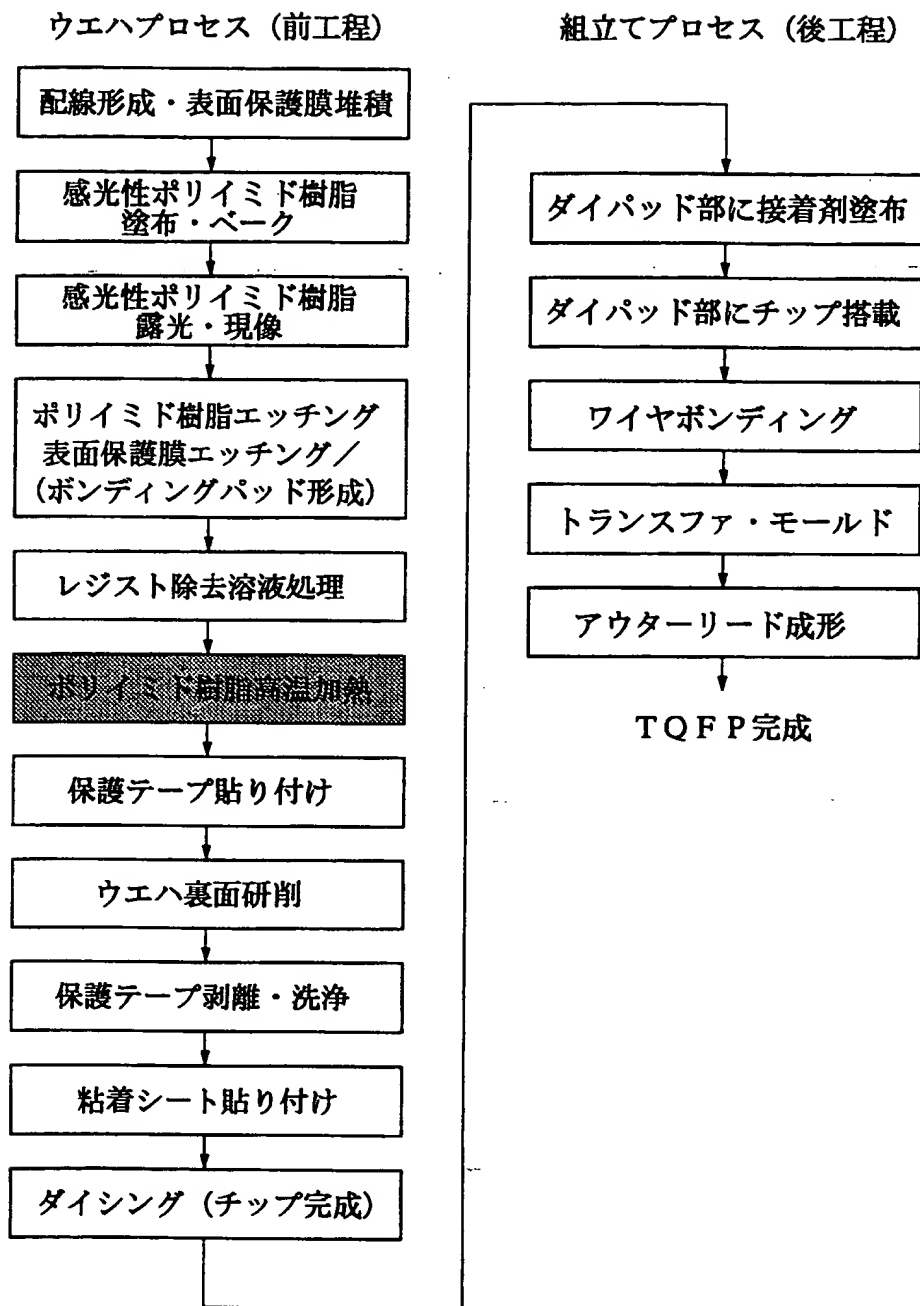


図 16

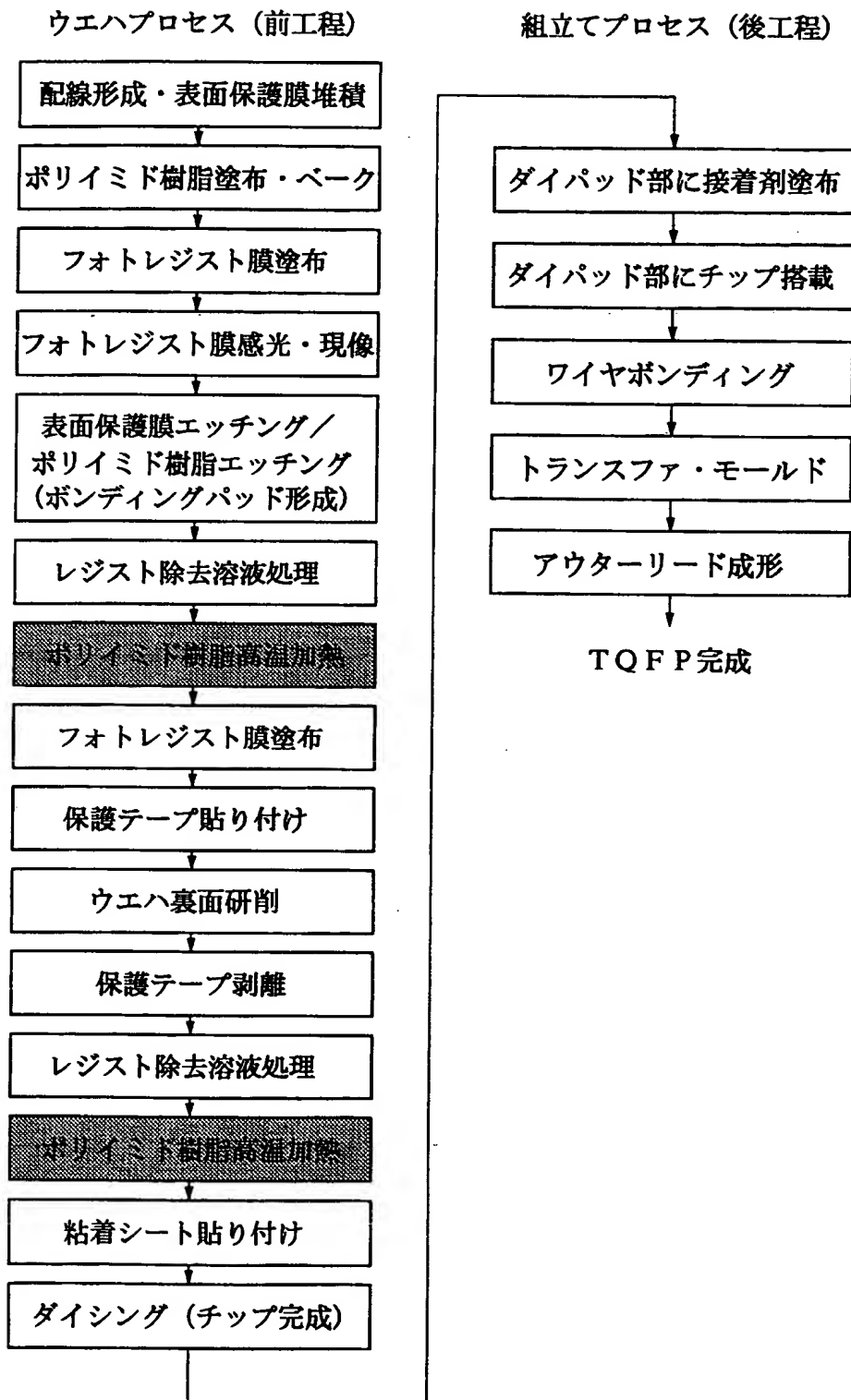
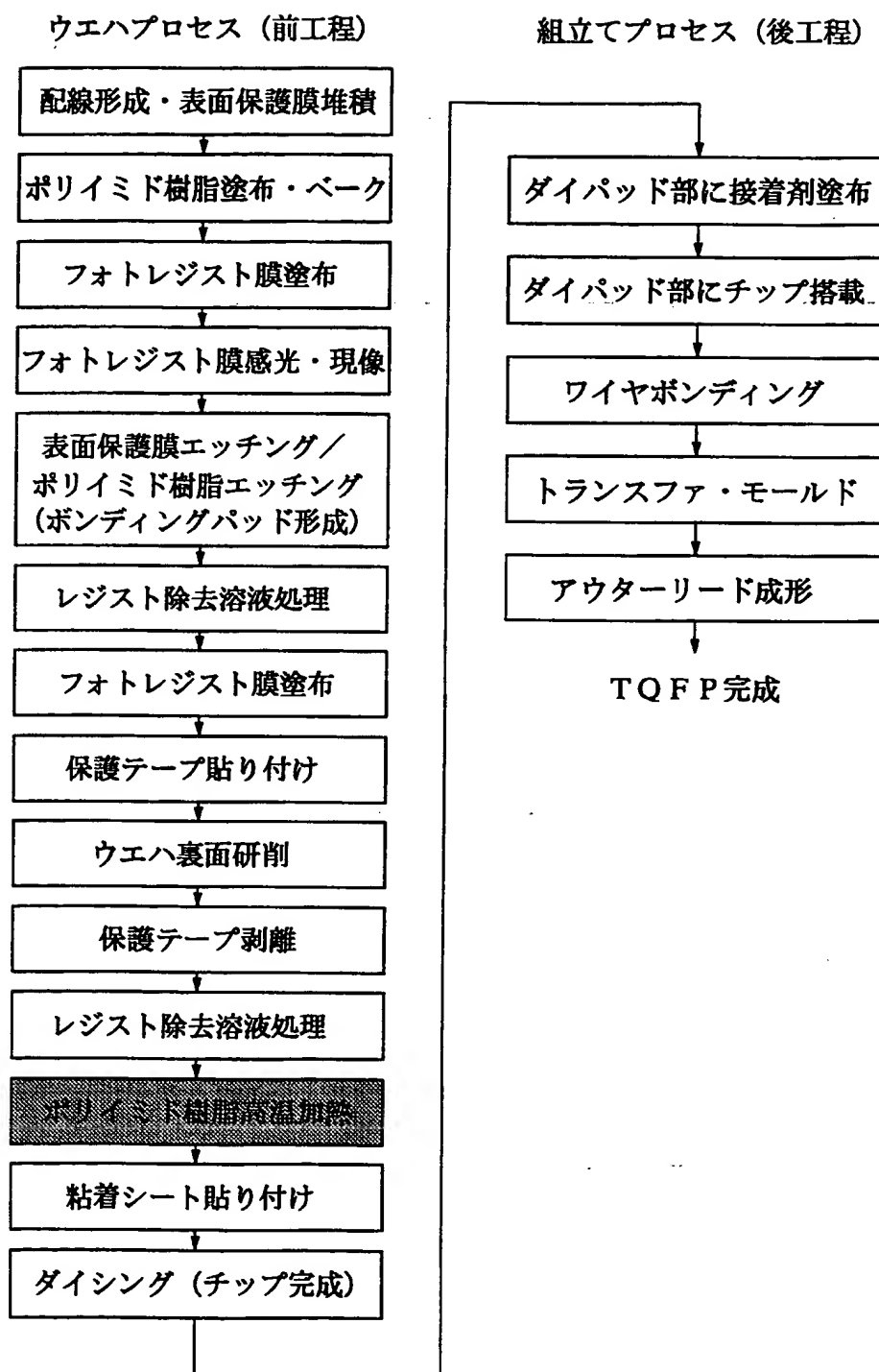


図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01219

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁶ H01L23/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ H01L23/495, H01L23/50, H01L23/31, H01L23/58, H01L23/28,
H01L23/304, H01L21/312

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1998
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

TXT, PAJ, WPI, EPOS, INSPEC, TDA, F-Term, APS

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 9-162330, A (Hitachi, Ltd.), 20 June, 1997 (20. 06. 97), Par. Nos. [0031], [0034], [0037] (Family: none)	1, 2, 7 3, 4, 5, 6
Y	JP, 59-232424, A (Hitachi, Ltd.), 27 December, 1984 (27. 12. 84), Claims (Family: none)	3, 4, 5, 6
X Y	JP, 6-268146, A (Toshiba Corp.), 22 September, 1994 (22. 09. 94), Claims (Family: none)	1, 2 3-6, 4-7
Y	WO, 9809330, A1 (SIEMENS AG), 5 March, 1998 (05. 03. 98), Page 6, lines 4 to 23 & DE, 19634845, C1	3-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
---	--

Date of the actual completion of the international search
29 October, 1998 (29. 10. 98)Date of mailing of the international search report
10 November, 1998 (10. 11. 98)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01219

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 5-95058, A (N.V. Philips' Gloeilampenfabrieken), 16 April, 1993 (16. 04. 93), Par. Nos. [0014] to [0018] & EP, 501564, A1 & US, 5287003, A	8 4-7
X	JP, 8-293492, A (NEC Corp.), 5 November, 1996 (05. 11. 96), Par. Nos. [0013] to [0015] & GB, 2300304, A & US, 5783369, A	11
Y	JP, 6-216303, A (Hitachi, Ltd.), 5 August, 1994 (05. 08. 94), Claims ; Fig. 30 & US, 5637913, A	1-11
Y	JP, 56-150830, A (Hitachi, Ltd.), 21 November, 1981 (21. 11. 81), Page 4, upper left column, line 15 to upper right column, line 8 ; Fig. 10 & US, 4990993, A	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ H01L23/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ H01L23/495, H01L23/50, H01L23/31, H01L23/58, H01L23/28, H01L23/304, H01L21/312

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

TXT, PAJ, WPI, EPOS, INSPEC, TDA, F-Term, APS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 9-162330, A (株式会社日立製作所), 20. 6月. 1997 (20. 06. 97) 段落【0031】【0034】【0037】 (ファミリーなし)	1, 2, 7 3, 4, 5, 6
Y	JP, 59-232424, A (株式会社日立製作所), 27. 12月. 1984 (27. 12. 84) 特許請求の範囲 (ファミリーなし)	3, 4, 5, 6
X Y	JP, 6-268146, A (株式会社東芝), 22. 9月. 1994 (22. 09. 94) 特許請求の範囲 (ファミリーなし)	1, 2 3-6, 4-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

29. 10. 98

国際調査報告の発送日

10.11.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭



4E

9265

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO, 9809330, A1 (SIEMENS AG), 5. 3月. 1998 (05. 03. 98) 第6頁 第4-23行 & DE, 19634845, C1	3-6
X Y	J P, 5-95058, A (エヌ・ペー・フィリップス・フルーイランペンフアブリケン), 16. 4月. 1993 (16. 04. 93) 【0014】-【0018】 & EP, 501564, A1; US, 5287003, A	8 4-7
X	J P, 8-293492, A (日本電気株式会社) 5. 11月. 1996 (05. 11. 96) 【0013】-【0015】 & GB, 2300304, A; US, 5783369, A	11
Y	J P, 6-216303, A (株式会社日立製作所) 5. 8月. 1994 (05. 08. 94) 特許請求の範囲、図30 & US, 5637913, A	1-11
Y	J P, 56-150830, A (株式会社日立製作所) 21. 11月. 1981 (21. 11. 81) 第4頁左上欄第15行-右上欄第8行、第10図 & US, 4990993, A	1-11

PUB-NO: WO009949512A1

DOCUMENT-IDENTIFIER: WO 9949512 A1

TITLE: SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE
SAME

PUBN-DATE: September 30, 1999

INVENTOR-INFORMATION:

NAME	COUNTRY
MIYAKI, YOSHINORI	JP
SUZUKI, HIROMICHI	JP
SUZUKI, KAZUNARI	JP
NISHITA, TAKAFUMI	JP
ITO, FUJIO	JP
TSUBOSAKI, KUNIHIRO	JP
KAMEOKA, AKIHIKO	JP
NISHI, KUNIHIKO	JP

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	JP
HITACHI MICROCOMPUTER SYST	JP
MIYAKI YOSHINORI	JP
SUZUKI HIROMICHI	JP
SUZUKI KAZUNARI	JP
NISHITA TAKAFUMI	JP
ITO FUJIO	JP
TSUBOSAKI KUNIHIRO	JP
KAMEOKA AKIHIKO	JP
NISHI KUNIHIKO	JP

APPL-NO: JP09801219

APPL-DATE: March 20, 1998

PRIORITY-DATA: JP09801219W (March 20, 1998)

INT-CL (IPC): H01L023/50

EUR-CL (EPC): H01L023/495 ; H01L023/31

US-CL-CURRENT: 257/E23.037, 257/E23.132

ABSTRACT:

CHG DATE=19991102 STATUS=O>The occurrence of package crack in the vicinity of the rear surface at a die pad part is suppressed by setting the outer dimensions at the die pad part of a lead frame to be smaller than those of a semiconductor chip to be mounted thereon and the occurrence of package crack in the vicinity of the major surface of the semiconductor chip is suppressed by forming an organic layer exhibiting high adhesion to a resin composing the package body on a surface protective film (final passivation film) covering the uppermost layer wiring of the semiconductor chip.

Specification

*Replaced by Article
34*

Title of the invention

Semiconductor device and its manufacturing method

5

Technical field

This invention relates to a semiconductor device and its manufacturing method, especially to a reliable technique applying for the resin mold package that seals a semiconductor chip mounted on the die pad of a lead frame.

10

Background technique of the invention

A surface mounted type resin mold package of QFP(QUAD FLAT PACKAGE), etc. becomes a problem that is important to prevent the package crack that occurred in the solder reflow process at the time of a surface mounting of the package.

15

After molding a resin by the transfer mold method, some extent of moisture in the atmosphere has penetrated into the package because the resin that constitutes a package has absorbency. Therefore, heat at the time of a temperature cycle test after package completion, moisture in the resin is suddenly vaporized and expanded by heat at the time of soldering a package to the printed circuit board, and a package crack is caused.

20

25

As for a package crack that happened like this, it is known that it is especially easy to generate it in the vicinity of the interface between the back of a die pad on which a semiconductor chip is mounted and a resin surrounding it.

5 This is because the adhesion strength of the metal that constitutes a lead frame and a resin is relatively weak, and especially because the die pad is the widest area in the lead frame sealed to the package, a resin breaks away locally from the back of the die pad by the reason why the heat stress

10 which is occurs by heating the package and moisture has accumulated in that portion.

The Japanese patent Laid-open No. Toku-Kai-Syou 63-204753 official gazette and the Japanese patent Laid-open No. Toku-Kai-Hei 6-216303 official gazette are proposing the

15 lead frame structure that restrains an occurrence of a package crack, that is, they are proposing the lead frame structure which has the die pad whose outward appearance is smaller than that of the semiconductor chip mounted on it. According to this lead frame structure, an interface of a die

20 pad and a resin becomes small, and the quantity of accumulated moisture also becomes small in the interface of them. And the occurrence of a package crack in the back vicinity of a die pad is restrained because a part of the back of a silicon wafer with good adhesion with a resin as compared

25 with a lead frame comes to touch a resin and makes a direct

package crack in the back vicinity of die pad 5 is restrained.

Further, according to TQFP of this embodiment that formed layer of organic material 8 that comprises polyimide resins that are the insulation materials of the same organic system as the epoxy system resin that constitutes the package body 1 on surface passivation film (final passivation film) 7 that covers the top layer of conductive wirings 6 of LSI, the occurrence of a package crack in the main surface vicinity of semiconductor chip 2 is restrained because the layer of organic material 8 with a high affinity (with good adhesion) with a resin as compared with final passivation film 7 that is an inorganic system insulation material comes to touch a resin and makes a direct interface.

That is, according to TQFP of this embodiment, good adhesion with a resin which organizes the package body 1 is improved at the both side of the back of die pad 5 and of the main surface of semiconductor chip 2. Therefore, TQFP that reflow crack resistance improved can be realized.

Then, a method of manufacturing TQFP of this embodiment composed like above is explained by using Fig. 4 - Fig. 12 and the process flow figure of Fig. 13.

Fig. 4 is the cross-sectional view that shows the main part (about one chip) of semiconductor wafer 2A that deposits final passivation film 7 on the upper part of the top layer of conductive wirings 6 of LSI. The top layer of conductive

same organic system as photo resist film 10 by the bleaching to the resist removal liquid, and the adhesion strength with the resin that constitutes the package body 1 declines. Then, in this embodiment, the good adhesion with a resin is recovered by heating the layer of organic material 8 for 4 minutes or more at 350 degrees in centigrade high temperature for example, after removing photo resist film 10.

Then, the back of semiconductor wafer 2A is ground and the thickness is thinned to 0.4mm in order to seal semiconductor chip 2 to the TQFP package of which a thickness is 1mm. The back grinding of semiconductor wafer 2A is done by fixing semiconductor wafer 2A that attached surface protect tape 11 to the main surface side on stage 12 and by grinding the back in diamond wheel 13 that at high speed turns as it is shown in for example, Fig. 8.

Then, surface protect tape 11 attached to the main surface of semiconductor wafer 2A is peeled off and cleaning process to remove foreign materials such as an adherent agent is done, and then, as it is shown in Fig. 9, the semiconductor chip 2 is gained by attaching adherent sheet 14 to the side of the back of semiconductor wafer 2A and separating it into chips by using dicing blade 15.

Then, given semiconductor chip 2 is mounted on a lead frame. As it is shown in Fig. 10, circular die pad 5 that mounts semiconductor chip 2 on the central part of lead frame LF is

What is claimed is;

1. A semiconductor device sealing the die pad of a lead frame and a semiconductor chip mounted on it with a resin, characterized in that the main surface of the semiconductor
5 chip is covered by an layer of organic material and an outward appearance of the die pad is smaller than that of the semiconductor chip.
2. A semiconductor device according to claim 1, characterized
10 in that said layer of organic material is made of polyimide resins.
3. A semiconductor device according to claim 1, characterized in that said layer of organic material is made of
15 photosensitive polyimide resins.
4. A semiconductor device according to claim 1, characterized in that a passivation film of the inorganic insulation materials is formed on the top layer of conductive wirings
20 formed on the main surface of said semiconductor chip and said layer of organic material is formed on said passivation film.
5. A semiconductor device according to claim 4, characterized
25 in that a bonding pad is formed by making an hole to said

layer of organic material and said passivation film, and said bonding pad and a lead of said lead frame are electrically connected through a wire.

5 6. A semiconductor device according to claim 4, characterized in that said passivation film is composed of any one of silicon oxide film, silicon nitride film or those lamination films.

7. A semiconductor device according to claim 1, characterized
10 in that said lead frame comprises the Fe-Ni alloys or Cu.

8. A method for making a semiconductor device characterized by comprising steps of:

(a) making a passivation film of the inorganic insulation
15 materials on a top layer of conductive wirings after forming the top layer of conductive wirings on the main surface of a semiconductor wafer, and then making an layer of organic material on said passivation film,

(b) making a bonding pad by holing said layer of organic
20 material and said passivation film on said top layer of conductive wirings by the etching that makes a photo resist film formed on said layer of organic material a mask,

(c) heating said layer of organic material after removing said photo resist film by using a resist removal liquid,

25 (d) making a semiconductor chip by dicing said

semiconductor wafer,

(e) mounting said semiconductor chip on a die pad after preparing a lead frame with said die pad with an outward appearance that is smaller than that of said semiconductor
5 chip,

(f) sealing said semiconductor chip and said die pad by resin mold.

9. A method for making a semiconductor device according to
10 claim 8, characterized in that said resist removal liquid includes the phenol system solvent as the main component.

10. A method for making a semiconductor device according to claim 8, characterized in that it is further provided between
15 the step (c) and the step (d), thinning a thickness of said semiconductor wafer by grounding the back of said semiconductor wafer in the state that the main surface of said semiconductor wafer is covered with the second photo resist film and a protect tape and then heating said layer of
20 organic material.

11. A method for making a semiconductor device, characterized by comprising the steps of:

(a) making a passivation film of the inorganic insulation
25 materials on a top layer of conductive wirings after forming

the top layer of conductive wirings on the main surface of a semiconductor wafer, and then making an photosensitive polyimide resin layer on said passivation film,

(b) making a hole to said photosensitive polyimide resin layer
5 formed on said top layers of conductive wirings by exposing and developing said photosensitive polyimide resin layer,

(c) making a bonding pad by holing said passivation film formed on the said top layer of conductive wirings by etching method using said photosensitive polyimide resin layer
10 having said hole as a mask,

(d) heating said photosensitive polyimide resin layer to the high temperature,

(e) making a semiconductor chip by dicing said semiconductor wafer,

15 (f) preparing a lead frame with a die pad with a outward appearance that is smaller than that of said semiconductor chip, and then mounting said semiconductor chip to said die pad,

(g) sealing said semiconductor chip and said die pad with
20 resin.


ABSTRACT OF THE INVENTION

The occurrence of a package crack in the back vicinity of a die
5 pad is restrained by making the outward appearance of the
die pad of a lead frame smaller than that of a semiconductor
chip which is mounted on it, and also the occurrence of a
package crack in the main surface vicinity of the
semiconductor chip is restrained by forming a layer of
10 organic material with good adhesion property with the resin
that constitutes the package body on the final passivation
film (final passivation film) that covers the top layer of
conductive wirings of the semiconductor chip.

特許協力条約に基づく国際出願

願 書

出願人は、この国際出願が特許協力条約に従って処理されることを請求する。

受理官庁記入欄	
国際出願番号	
国際出願日	
(受付印)	
出願人又は代理人の書類記号 (希望する場合、最大12字) 319600530971	

第 I 欄 発明の名称	
半導体装置およびその製造方法	
第 II 欄 出願人	
氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載) 株式会社 日立製作所 HITACHI, LTD. 〒101-8010 日本国東京都千代田区神田駿河台四丁目6番地 6, Kanda Surugadai 4-chome, Chiyoda-ku, TOKYO 101-8010 JAPAN	
<input type="checkbox"/> この欄に記載した者は、発明者でもある。 電話番号: ファクシミリ番号: 加入電話番号:	
国籍(国名): 日本国 Japan	住所(国名): 日本国 Japan
この欄に記載した者は、次の指定国についての出願人である: <input type="checkbox"/> すべての指定国 <input checked="" type="checkbox"/> 米国を除くすべての指定国 <input type="checkbox"/> 米国のみ <input type="checkbox"/> 追記欄に記載した指定国	
第 III 欄 その他の出願人又は発明者	
氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載) 株式会社日立マイコンシステム Hitachi Microcomputer System, Ltd. 〒187-0022 日本国東京都小平市上水本町5丁目22番1号 22-1, Josuihoncho 5-chome, Kodaira-shi, TOKYO 187-0022 JAPAN	
この欄に記載した者は次に該当する: <input checked="" type="checkbox"/> 出願人のみである。 <input type="checkbox"/> 出願人及び発明者である。 <input type="checkbox"/> 発明者のみである。 (ここにレ印を付したときは、以下に記入しないこと)	
国籍(国名): 日本国 Japan	住所(国名): 日本国 Japan
この欄に記載した者は、次の指定国についての出願人である: <input type="checkbox"/> すべての指定国 <input checked="" type="checkbox"/> 米国を除くすべての指定国 <input type="checkbox"/> 米国のみ <input type="checkbox"/> 追記欄に記載した指定国 <input checked="" type="checkbox"/> その他の出願人又は発明者が続葉に記載されている。	
第 IV 欄 代理人又は共通の代表者、通知のあて名	
次に記載された者は、国際機関において出願人のために行動する: <input checked="" type="checkbox"/> 代理人 <input type="checkbox"/> 共通の代表者	
氏名(名称)及びあて名: (姓・名の順に記載; 法人は公式の完全な名称を記載; あて名は郵便番号及び国名も記載) 8000 弁理士 筒井大和 TSUTSUI Yamato, Patent Attorney(Reg. No. 8000) 〒160-0023 日本国東京都新宿区西新宿7丁目22番45号 N. S. Excel 301 筒井国際特許事務所 Tsutsui & Associates, N. S. Excel 301 22-45, Nishishinjuku 7-chome, Shinjuku-ku, TOKYO 160-0023 JAPAN	
電話番号: 03-3366-0787 ファクシミリ番号: 03-3366-0968 加入電話番号:	
<input type="checkbox"/> 代理人又は共通の代表者が選任されておらず、上記枠内に特に通知が送付されるあて名を記載している場合は、レ印を付す	

第Ⅲ欄の続き その他の出願人又は発明者

この続表を使用しないときは、この用紙を願書に含めないこと。

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

宮 木 美 典

MIYAKI Yoshinori

〒190-0001 日本国東京都立川市若葉町1-3-17 若葉コーポ202号

Wakaba Corpo 202, 1-3-17, Wakabacho, Tachikawa-shi,

TOKYO 190-0001 JAPAN

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

鈴 木 博 通

SUZUKI Hiromichi

〒207-0022 日本国東京都東大和市桜が丘3-44-13 21-201

21-201, 3-44-13, Sakuragaoka, Higashiyamato-shi,

TOKYO 207-0022 JAPAN

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

鈴 木 一 成

SUZUKI Kazunari

〒143-0024 日本国東京都大田区中央4-20-10

4-20-10, Chuo, Ota-ku,

TOKYO 143-0024 JAPAN

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

この欄に記載した者は、次に該当する:

西 田 隆 文

NISHITA Takafumi

〒358-0053 日本国埼玉県入間市仏子1155-4

1155-4, Bushi, Iruma-shi,

SAITAMA 358-0053 JAPAN

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここにシ印を付したとき
は、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国☒ その他の出願人又は発明者が他の続表に記載されている。

第 III 欄の続き その他の出願人又は発明者

この続票を使用しないときは、この用紙を願書に含めないこと。

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

伊藤 富士夫

ITO Fujio

〒357-0041 日本国埼玉県飯能市美杉台4-5-6

4-5-6, Misugidai, Hanno-shi,

SAITAMA 357-0041 JAPAN

この欄に記載した者は、次に該当する:

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここに印を付したときは、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

坪崎 邦宏

TSUBOSAKI Kunihiro

〒191-0054 日本国東京都日野市東平山2-29-22

2-29-22, Higashihirayama, Hino-shi,

TOKYO 191-0054 JAPAN

この欄に記載した者は、次に該当する:

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここに印を付したときは、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

亀岡 昭彦

KAMEOKA Akihiko

〒350-0413 日本国埼玉県入間郡越生町如意968-20

968-20, Neoi, Ogosemachi, Iruma-gun,

SAITAMA 350-0413 JAPAN

この欄に記載した者は、次に該当する:

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここに印を付したときは、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国

氏名(名称)及びあて名:(姓・名の順に記載;法人は公式の完全な名称を記載;あて名は郵便番号及び国名も記載)

西 邦彦

NISHI Kunihiro

〒185-0001 日本国東京都国分寺市北町4-13-20

4-13-20, Kitamachi, Kokubunji-shi,

TOKYO 185-0001 JAPAN

この欄に記載した者は、次に該当する:

☐ 出願人のみである。☒ 出願人及び発明者である。☐ 発明者のみである。
(ここに印を付したときは、以下に記入しないこと)

国籍(国名): 日本国 Japan

住所(国名): 日本国 Japan

この欄に記載した者は、次の

指定国についての出願人である:

☐ すべての指定国☐ 米国を除くすべての指定国☒ 米国のみ☐ 追記欄に記載した指定国☐ その他の出願人又は発明者が他の続票に記載されている。

第Ⅴ欄 国の指定

規則 4.9 (a) の規定に基づき次の指定を行う (該当する□にレ印を付すこと; 少なくとも1つの□にレ印を付すこと)。

広域特許

- ☐ **AP ARIPO特許**: GH ガーナ Ghana, GM ガンビア Gambia, KE ケニア Kenya, LS レソト Lesotho, MW マラウイ Malawi, SD スーダン Sudan, SZ スワジランド Swaziland, UG ウガンダ Uganda, ZW ジンバブエ Zimbabwe, 及びハラレプロトコルと特許協力条約の締約国である他の国
- ☐ **EA ユーラシア特許**: AM アルメニア Armenia, AZ アゼルバイジャン Azerbaijan, BY ベラルーシ Belarus, KG キルギスタン Kyrgyzstan, KZ カザフスタン Kazakhstan, MD モルドヴァ Republic of Moldova, RU ロシア連邦 Russian Federation, TJ タジキスタン Tajikistan, TM トルクメニスタン Turkmenistan, 及びユーラシア特許条約と特許協力条約の締約国である他の国
- ☒ **EP ヨーロッパ特許**: AT オーストリア Austria, BE ベルギー Belgium, CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein, DE ドイツ Germany, DK デンマーク Denmark, ES スペイン Spain, FI フィンランド Finland, FR フランス France, GB 英国 United Kingdom, GR ギリシャ Greece, IE アイルランド Ireland, IT イタリア Italy, LU ルクセンブルグ Luxembourg, MC モナコ Monaco, NL オランダ Netherlands, PT ポルトガル Portugal, SE スウェーデン Sweden, 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
- ☐ **OA OAPI特許**: BF ブルキナ・ファソ Burkina Faso, BJ ベニン Benin, CF 中央アフリカ Central African Republic, CG コンゴ Congo, CI 象牙海岸 Côte d'Ivoire, CM カメルーン Cameroon, GA ガボン Gabon, GN ギニア Guinea, ML マリ Mali, MR モーリタニア Mauritania, NE ニジェール Niger, SN セネガル Senegal, TD チャード Chad, TG トーゴ Togo, 及びアフリカ知的所有権機構と特許協力条約の締約国である他の国 (他の種類の保護又は取扱いを求める場合には点線の上に記載する)

国内特許 (他の種類の保護又は取扱いを求める場合には点線の上に記載する)

- | | |
|--|---|
| <input type="checkbox"/> AL アルバニア Albania | <input type="checkbox"/> LU ルクセンブルグ Luxembourg |
| <input type="checkbox"/> AM アルメニア Armenia | <input type="checkbox"/> LV ラトヴィア Latvia |
| <input type="checkbox"/> AT オーストリア Austria | <input type="checkbox"/> MD モルドヴァ Republic of Moldova |
| <input type="checkbox"/> AU オーストラリア Australia | <input type="checkbox"/> MG マダガスカル Madagascar |
| <input type="checkbox"/> AZ アゼルバイジャン Azerbaijan | <input type="checkbox"/> MK マケドニア旧ユーゴスラヴィア The former Yugoslav Republic of Macedonia |
| <input type="checkbox"/> BA ボスニア・ヘルツェゴビナ Bosnia and Herzegovina | <input type="checkbox"/> MN モンゴル Mongolia |
| <input type="checkbox"/> BB バルバドス Barbados | <input type="checkbox"/> MW マラウイ Malawi |
| <input type="checkbox"/> BG ブルガリア Bulgaria | <input type="checkbox"/> MX メキシコ Mexico |
| <input type="checkbox"/> BR ブラジル Brazil | <input type="checkbox"/> NO ノールウェー Norway |
| <input type="checkbox"/> BY ベラルーシ Belarus | <input type="checkbox"/> NZ ニュー・ジランド New Zealand |
| <input type="checkbox"/> CA カナダ Canada | <input type="checkbox"/> PL ポーランド Poland |
| <input type="checkbox"/> CH and LI スイス及びリヒテンシュタイン Switzerland and Liechtenstein | <input type="checkbox"/> PT ポルトガル Portugal |
| <input checked="" type="checkbox"/> CN 中国 China | <input type="checkbox"/> RO ルーマニア Romania |
| <input type="checkbox"/> CU キューバ Cuba | <input type="checkbox"/> RU ロシア連邦 Russian Federation |
| <input type="checkbox"/> CZ チェッコ Czech Republic | <input type="checkbox"/> SD スーダン Sudan |
| <input type="checkbox"/> DE ドイツ Germany | <input type="checkbox"/> SE スウェーデン Sweden |
| <input type="checkbox"/> DK デンマーク Denmark | <input checked="" type="checkbox"/> SG シンガポール Singapore |
| <input type="checkbox"/> EE エストニア Estonia | <input type="checkbox"/> SI スロヴェニア Slovenia |
| <input type="checkbox"/> ES スペイン Spain | <input type="checkbox"/> SK スロヴァキア Slovakia |
| <input type="checkbox"/> FI フィンランド Finland | <input type="checkbox"/> SL シエラレオネ Sierra Leone |
| <input type="checkbox"/> GB 英国 United Kingdom | <input type="checkbox"/> TJ タジキスタン Tajikistan |
| <input type="checkbox"/> GE グルジア Georgia | <input type="checkbox"/> TM トルクメニスタン Turkmenistan |
| <input type="checkbox"/> GH ガーナ Ghana | <input type="checkbox"/> TR トルコ Turkey |
| <input type="checkbox"/> GM ガンビア Gambia | <input type="checkbox"/> TT トリニダード・トバゴ Trinidad and Tobago |
| <input type="checkbox"/> GW ギニアビサウ Guinea-Bissau | <input type="checkbox"/> UA ウクライナ Ukraine |
| <input type="checkbox"/> HU ハンガリー Hungary | <input type="checkbox"/> UG ウガンダ Uganda |
| <input type="checkbox"/> ID インドネシア Indonesia | <input checked="" type="checkbox"/> US 米国 United States of America |
| <input type="checkbox"/> IL イスラエル Israel | <input type="checkbox"/> UZ ウズベキスタン Uzbekistan |
| <input type="checkbox"/> IS アイスランド Iceland | <input type="checkbox"/> VN ヴィエトナム Viet Nam |
| <input checked="" type="checkbox"/> JP 日本 Japan | <input type="checkbox"/> YU ユーゴスラヴィア Yugoslavia |
| <input type="checkbox"/> KE ケニア Kenya | <input type="checkbox"/> ZW ジンバブエ Zimbabwe |
| <input type="checkbox"/> KG キルギスタン Kyrgyzstan | |
| <input checked="" type="checkbox"/> KR 韓国 Republic of Korea | |
| <input type="checkbox"/> KZ カザフスタン Kazakhstan | |
| <input type="checkbox"/> LC セントルシア Saint Lucia | |
| <input type="checkbox"/> LK スリ・ランカ Sri Lanka | |
| <input type="checkbox"/> LR リベリア Liberia | |
| <input type="checkbox"/> LS レソト Lesotho | |
| <input type="checkbox"/> LT リトアニア Lithuania | |

以下の□は、この様式の施行後に特許協力条約の締約国となった国を指定 (国内特許のために) するためのものである

- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____
- ☐ _____

出願人は、上記の指定に加えて、規則 4.9 (b) の規定に基づき、特許協力条約の下で認められる全ての国の指定を行う。

ただし、この国の指定を除く。
 出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。 (指定の確認は、指定を特定する通知の提出と指定手数料及び確認手数料の納付からなる。この確認は、優先日から15月以内に受理官庁へ提出されなければならない。)

第Ⅵ欄 優先権主張

優先権の主張（先の出願）が追記欄に記載されている ☐

下記の先の出願に基づき優先権を主張する

国 名 (その国において又はその国 について先の出願がされた)	先 の 出 願 の 出 願 日 (日、月、年)	先 の 出 願 の 出 願 番 号	先の出願を受理した官庁名 (広域出願又は国際出 願の場合のみ記入)
(1)			
(2)			
(3)			

先の出願の認証原本が、本件国際出願の受理官庁（日本国特許庁）で発行される場合であって、優先権書類送付請求書を本件国際出願に添付するときは、次の□にレ印を付すこと。

☐ 上記（ ）の番号の先の出願のうち、次の（ ）の番号のものについては、出願書類の認証原本を
作成し国際事務局へ送付することを、受理官庁（日本国特許庁の長官）に対して請求している。

第Ⅶ欄 国際調査機関

国際調査機関（ISA）の選択

ISA / JP

先の調査 上記国際調査機関による別の調査（国際・国際型又はその他）が既に実施又は請求されており、可能な限り当該調査の結果を今回の国際調査の基礎とすることを請求する場合に記入する。先の調査に関連する出願（若しくはその翻訳）又は関連する調査請求を表示することにより、当該先の調査又は請求を特定する。

名（又は広域官庁）

出願日（日、月、年）

出願番号

第Ⅷ欄 照合欄

この国際出願の用紙の枚数は次のとおりである。

1. 願書	5	枚
2. 明細書	12	枚
3. 請求の範囲	3	枚
4. 要約書	1	枚
5. 図面	17	枚
合計	38	枚

この国際出願には、以下にチェックした書類が添付されている。

- | | |
|---|--|
| 1. <input type="checkbox"/> 別個の記名押印された委任状 | 5. <input checked="" type="checkbox"/> 手数料計算用紙 |
| 2. <input type="checkbox"/> 包括委任状の写し | <input checked="" type="checkbox"/> 納付する手数料に相当する特許印紙を貼付した書面 |
| 3. <input type="checkbox"/> 記名押印（署名）の説明書 | <input checked="" type="checkbox"/> 国際事務局の口座への振込みを証明する書面 |
| 4. <input type="checkbox"/> 優先権書類（上記第Ⅵ欄の
（ ）の番号を記載する）： | 6. <input type="checkbox"/> 寄託した微生物に関する書面 |
| | 7. <input type="checkbox"/> スクレオチド及び／又はアミノ酸配列リスト
（フレキシブルディスク） |
| | 8. <input type="checkbox"/> その他（例えば、優先権書類送付請求書と具体的に
記載する）： |

要約書とともに公表する図として 第 3 図 を提示する（図面がある場合）

第Ⅸ欄 提出者の記名押印

人の氏名（名称）を記載し、その次に押印する。

筒井 大和



受理官庁記入欄

1. 国際出願として提出された書類の実際の受理の日		2. 図面 <input type="checkbox"/> 受理された <input type="checkbox"/> 不足図面がある
3. 国際出願として提出された書類を補完する書類又は図面であって その後期間内に提出されたものの実際の受理の日（訂正日）		
4. 特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日		
5. 出願人により特定された 国際調査機関	ISA / JP	
6. <input type="checkbox"/> 調査手数料未払いにつき、国際調査機関に 調査用写しを送付していない		

国際事務局記入欄

記録原本の受理の日

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号	3 1 9 6 0 0 5 3 0 9 7 1	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/J P 98/01219	国際出願日 (日.月.年) 20.03.98	優先日 (日.月.年)	
出願人(氏名又は名称) 株式会社日立製作所			

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

2. ☐ 発明の単一性が欠如している(第II欄参照)。

3. ☐ この国際出願は、ヌクレオチド及び/又はアミノ酸配列リストを含んでおり、次の配列リストに基づき国際調査を行った。

☐ この国際出願と共に提出されたもの

☐ 出願人がこの国際出願とは別に提出したもの

☐ しかし、出願時の国際出願の開示の範囲を越える事項を含まない旨を記載した書面が添付されていない

☐ この国際調査機関が書換えたもの

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.[°] H01L23/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.[°] H01L23/495, H01L23/50, H01L23/31, H01L23/58, H01L23/28, H01L23/304, H01L21/312

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1998年

日本国登録実用新案公報 1994-1998年

日本国実用新案登録公報 1996-1998年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

TXT, PAJ, WPI, EPOS, INSPEC, TDA, F-Term, APS

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 9-162330, A (株式会社日立製作所), 20. 6月. 1997 (20. 06. 97) 段落【0031】【0034】【0037】 (ファミリーなし)	1, 2, 7 3, 4, 5, 6
Y	J P, 59-232424, A (株式会社日立製作所), 27. 12月. 1984 (27. 12. 84) 特許請求の範囲 (ファミリーなし)	3, 4, 5, 6
X Y	J P, 6-268146, A (株式会社東芝), 22. 9月. 1994 (22. 09. 94) 特許請求の範囲 (ファミリーなし)	1, 2 3-6, 4-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

29. 10. 98

国際調査報告の発送日

10.11.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭



4 E

9265

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO, 9809330, A1 (SIEMENS AG), 5. 3月. 1998 (05. 03. 98) 第6頁 第4-23行 & DE, 19634845, C1	3-6
X Y	J P, 5-95058, A (エヌ・ペー・フイリツプス・フルーイランペンファアブリケン), 16. 4月. 1993 (16. 04. 93) 【0014】-【0018】 & EP, 501564, A1; US, 5287003, A	8 4-7
X	J P, 8-293492, A (日本電気株式会社) 5. 11月. 1996 (05. 11. 96) 【0013】-【0015】 & GB, 2300304, A; US, 5783369, A	11
Y	J P, 6-216303, A (株式会社日立製作所) 5. 8月. 1994 (05. 08. 94) 特許請求の範囲、図30 & US, 5637913, A	1-11
Y	J P, 56-150830, A (株式会社日立製作所) 21. 11月. 1981 (21. 11. 81) 第4頁左上欄第15行-右上欄第8行、第10図 & US, 4990993, A	1-11

PATENT COOPERATION TREATY

From the INTERNATIONAL BUREAU

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

To:

Assistant Commissioner for Patents
United States Patent and Trademark
Office
Box PCT
Washington, D.C. 20231
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing:

30 September 1999 (30.09.99)

International application No.:

PCT/JP98/01219

Applicant's or agent's file reference:

319600530971

International filing date:

20 March 1998 (20.03.98)

Priority date:

Applicant:

MIYAKI, Yoshinori et al

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

20 March 1998 (20.03.98)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

2826

Applicant's or agent's file reference 319600530971	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP98/01219	International filing date (day/month/year) 20 March 1998 (20.03.98)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 23/50		
Applicant HITACHI, LTD.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 9 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the Demand 20 March 1998 (20.03.98)	Date of completion of this report 09 February 1999 (09.02.1999)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP98/01219

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
pages _____ 2-6,9-12 _____, as originally filed
pages _____, filed with the demand
pages _____ 1,7,8,8/1 _____, filed with the letter of _____ 11 May 98, 17 July 98, 11.01.99
- ☒ the claims:
pages _____ 2-4,6,8-10 _____, as originally filed
pages _____, as amended (together with any statement under Article 19
pages _____, filed with the demand
pages _____ 1,5,7,11-21 _____, filed with the letter of _____ 11 January 1999 (11.01.1999)
- ☒ the drawings:
pages _____ 1-17 _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
pages _____, as originally filed
pages _____, filed with the demand
pages _____, filed with the letter of _____

2. With regard to the **language**, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement**1. Statement**

Novelty (N)	Claims	3-6, 8-21	YES
	Claims	1, 2, 7	NO
Inventive step (IS)	Claims		YES
	Claims	1-21	NO
Industrial applicability (IA)	Claims	1-21	YES
	Claims		NO

2. Citations and explanations

Claims 1, 2 and 7 are not novel because they are disclosed in Document 1 cited in the international search report (JP, 9-162330, A (Hitachi, Ltd.), June 20, 1997 (20.06.97), paragraphs [0031], [0034] and [0037]).

Claims 3-6 and 8-12 do not involve an inventive step because they could easily be invented by a person skilled in the art by drawing on the inventions disclosed in Document 1 and Document 2 (JP, 59-232424, A (Hitachi, Ltd.), December 27, 1984 (27.12.84), claims) cited in the international search report.

PCT

19 FEB 1999

国際予備審査報告

(法第12条、法施行規則第56条)

〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号	319600 530971	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/J P 98/01219	国際出願日 (日.月.年)	20.03.98	優先日 (日.月.年)
国際特許分類(IPC) Int. Cl. ⁸ H01L23/50			
出願人(氏名又は名称) 株式会社日立製作所			

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 9 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 20.03.98	国際予備審査報告を作成した日 09.02.99		
名称及びあて先 日本国特許庁(IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 坂本 薫昭	4 E	9265
電話番号 03-3581-1101 内線 3425			

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT 14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- | | | | | | |
|-------------------------------------|------------|---|----------------|--------------------|------------------------------------|
| <input checked="" type="checkbox"/> | 明細書 | 第 | 2-6, 9-12 | ページ、 | 出願時に提出されたもの |
| | 明細書 | 第 | | ページ、 | 国際予備審査の請求書と共に提出されたもの |
| | 明細書 | 第 | 1, 7, 8, 8/1 | ページ、 | 11.05.98, 17.07.98, 付の書簡と共に提出されたもの |
| | | | | | 11.01.99 |
| <input checked="" type="checkbox"/> | 請求の範囲 | 第 | 2-4, 6, 8-10 | 項、 | 出願時に提出されたもの |
| | 請求の範囲 | 第 | | 項、 | PCT 19条の規定に基づき補正されたもの |
| | 請求の範囲 | 第 | | 項、 | 国際予備審査の請求書と共に提出されたもの |
| | 請求の範囲 | 第 | 1, 5, 7, 11-21 | 項、 | 11.01.99 付の書簡と共に提出されたもの |
| <input checked="" type="checkbox"/> | 図面 | 第 | 1-17 | ページ /図、 | 出願時に提出されたもの |
| | 図面 | 第 | | ページ/図、 | 国際予備審査の請求書と共に提出されたもの |
| | 図面 | 第 | | ページ/図、 | 付の書簡と共に提出されたもの |
| <input type="checkbox"/> | 明細書の配列表の部分 | 第 | | ページ、 | 出願時に提出されたもの |
| | 明細書の配列表の部分 | 第 | | ページ、 | 国際予備審査の請求書と共に提出されたもの |
| | 明細書の配列表の部分 | 第 | | ページ、 | 付の書簡と共に提出されたもの |

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

3-6, 8-21

有

請求の範囲

1, 2, 7

無

進歩性(IS)

請求の範囲

有

請求の範囲

1-21

無

産業上の利用可能性(IA)

請求の範囲

1-21

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

請求項1, 2, 7は、国際調査報告で引用された文献1(JP, 9-162330, A(株式会社日立製作所)、20.6月.1997(20.06.97)、段落【0031】【0034】【0037】)に記載されているので新規性を有さない。

請求項3-6, 8-21は、国際調査報告で引用された文献1及び文献2(JP, 59-232424, A(株式会社日立製作所)、27.12月.1984(27.12.84)、特許請求の範囲)に記載された発明に基いて、当業者が容易に発明をすることができたものと認められるから進歩性を有さない。

明 細 書

半導体装置およびその製造方法

5 技術分野

本発明は、半導体装置およびその製造方法に関し、特に、リードフレームのダイパッド部に搭載した半導体チップを樹脂封止したパッケージの信頼性向上に適用して有効な技術に関する。

10 背景技術

QFP (Quad Flat Package) などの表面実装型樹脂パッケージは、基板実装時の半田リフロー工程で問題となるパッケージ・クラックの発生を防止することが重要な課題となっている。

15 パッケージを構成する樹脂は吸湿性があるので、トランスファ・モールド法によって樹脂を成形した後は、大気中の水分がある程度パッケージ内に浸入する。そのため、パッケージをプリント配線基板に半田付けする時の熱によって樹脂中の水分が急激に気化膨張し、パッケージ・クラックを引き起こす。

上記したパッケージ・クラックは、半導体チップを搭載したダイパッド部の裏面と樹脂との界面近傍において特に発生し易いことが知られている。これは、
20 リードフレームを構成する金属と樹脂との密着力が比較的弱いため、特にダイパッド部は、パッケージに封止されたリードフレーム中、最も面積の広い部分であることから、樹脂封止工程時に発生する熱応力が大きく、これによって局所的に樹脂が剥離し、そこに水分が溜まるためであると考えられている。

特開昭63-204753号公報および特開平6-216303号公報は、上記したパッケージ・クラックの発生を抑制する対策として、ダイパッド部の外形寸法を、その上に搭載するチップの外径寸法よりも小さくしたリードフレーム構造を提案している。このリードフレーム構造によれば、ダイパッド部と樹脂とが
25 界面を接する部分の面積が小さくなり、その分、両者の界面に溜まる水分が減少

合金からなり、その上部の表面保護膜 7 は、CVD 法で成膜した酸化シリコン膜や窒化シリコン膜などの無機系絶縁材料からなる。半導体チップ 2 とインナーリード部 3 A とを接続するワイヤ 4 の一端部は、最上層配線 6 を覆っている表面保護膜 7 とその上部の有機層 8 とを開孔して形成したボンディングパッド B P に接続されている。

ダイパッド部 5 の外形寸法を、その上に搭載する半導体チップ 2 のそれよりも小さくした本実施形態の T Q F P によれば、パッケージ本体 1 を構成する樹脂とダイパッド部 5 とが界面を接する部分の面積が小さくなり、かつダイパッド部 5 に比べて樹脂との密着性がよい半導体チップ 2 の裏面の一部が樹脂と直接界面を接するようになるので、ダイパッド部 5 の裏面近傍におけるパッケージ・クラックの発生が抑制される。

また、L S I の最上層配線 6 を覆う表面保護膜（ファイナル・パッシベーション膜）7 の上に、パッケージ本体 1 を構成するエポキシ系樹脂と同じ有機系の絶縁材料であるポリイミド樹脂からなる有機層 8 を形成した本実施形態の T Q F P によれば、無機系絶縁材料である表面保護膜 7 に比べて樹脂との親和性が高い（従って、密着性がよい）有機層 8 が樹脂と直接界面を接するようになるので、半導体チップ 2 の主面近傍におけるパッケージ・クラックの発生が抑制される。

すなわち、本実施形態の T Q F P によれば、半導体チップ 2 の主面側もダイパッド部 5 の裏面側も、パッケージ本体 1 を構成する樹脂との密着性が向上するので、リフロー・クラック耐性の向上した T Q F P を実現することができる。

次に、上記のように構成された本実施形態の T Q F P の製造方法を図 4 ～ 図 13 と図 14 のプロセスフロー図とを用いて説明する。

図 4 は、L S I の最上層配線 6 の上部に表面保護膜 7 を堆積した半導体ウエハ 2 A の要部（チップ約 1 個分）を示す断面図である。最上層配線 6 は、例えば半導体ウエハ 2 A 上にスパッタリング法で堆積した A l 合金膜をパターンニングして形成する。また、表面保護膜 7 は、例えば半導体ウエハ 2 A 上に C V D 法で酸化シリコン膜と窒化シリコン膜とを堆積して形成する。

次に、図 5 に示すように、表面保護膜 7 の上部にスピン塗布したポリイミド樹脂を 180℃程度の温度でベークして有機層 8 を形成した後、図 6 に示すように、

ボンディングパッド形成領域を開孔したフォトレジスト膜10を有機層8の上部に形成し、このフォトレジスト膜10をマスクにしたドライエッチングで有機層8とその下層の表面保護膜7とを開孔して最上層配線6の一部を露出させることにより、ボンディングパッドBPを形成する。

- 5 次に、図7に示すように、有機層8の上部に残ったフォトレジスト膜10をレジスト除去液を使って除去する。このレジスト除去液は、例えばフェノール系の溶剤を主成分として含有する有機溶剤からなる。

- 上記レジスト除去液を使ったフォトレジスト膜10の除去工程では、フォトレジスト膜10と同じ有機系の絶縁材料であるポリイミド樹脂からなる有機層8の
10 表面がレジスト除去液に晒されて変成し、パッケージ本体1を構成する樹脂との密着性（接着力）が低下する。そこで、本実施形態では、フォトレジスト膜10を除去した後、有機層8を例えば350℃程度の高温で4分以上加熱することによって、樹脂との密着性（接着力）を回復させる。これにより、パッケージ本体1を構成する樹脂と有機層8を構成するポリイミド樹脂との接着力が、半導体チップ2の裏面側における樹脂と半導体チップ2との密着性（接着力）に近いもの
15 となる。

- このように、本実施の形態によれば、ダイパッド部5の外形寸法を半導体チップ2よりも小さくしたことによって相対的に樹脂との接着力が低下した半導体チップ2の表面側において、樹脂と有機層8との接着力が強化されるので、半導体
20 チップ2の主面近傍におけるパッケージ・クラックの発生と、ダイパッド部5の裏面近傍におけるパッケージ・クラックの発生とを共に抑制することができる。

- 次に、半導体チップ2を厚さ1mmのTQFPパッケージに封止できるようにするために、半導体ウエハ2Aの裏面を研削してその厚さを0.4mm程度まで薄くする。半導体ウエハ2Aの裏面研削は、例えば図8に示すように、主面側に表面
25 保護テープ11を貼り付けた半導体ウエハ2Aをステージ12の上に固定し、高速回転するダイヤモンド・ホイール13で裏面を研削することにより行う。

次に、半導体ウエハ2Aの主面に貼り付けられた表面保護テープ11を剥がし、粘着剤などの異物を除去するための洗浄処理を行った後、図9に示すように、半導体ウエハ2Aの裏面側に粘着シート14を貼り付け、ダイシングブレード15

を使ってチップ単位に分割することにより、半導体チップ2を得る。

次に、上記半導体チップ2をリードフレームに搭載する。図10に示すように、リードフレームLFの中央部には、半導体チップ2を搭載する円形のダイパッド部5が四本の吊りリード16によって支持されている。前述したように、このダイパッド部5の面積は、その上に搭載される半導体チップ2の面積よりも小さいのが特徴である。

上記ダイパッド部5の周囲には、複数本のリード3がダイパッド部5を囲むように配置されており、各リード3の中途部には、リード3の支持とモールド時に

請 求 の 範 囲

1. (補正後) ダイパッド部とその上に搭載した半導体チップとを樹脂封止した半導体装置であって、前記半導体チップの主面を有機層で被覆し、前記ダイパッド部の外形寸法を前記半導体チップの外形寸法よりも小さくしたことを特徴とする半導体装置。
- 5 2. 請求項 1 記載の半導体装置であって、前記有機層はポリイミド樹脂からなることを特徴とする半導体装置。
3. 請求項 1 記載の半導体装置であって、前記有機層は感光性ポリイミド樹脂からなることを特徴とする半導体装置。
- 10 4. 請求項 1 記載の半導体装置であって、前記半導体チップの主面に形成された最上層配線の上部に無機系の絶縁材料からなる表面保護膜が形成され、前記表面保護膜の上部に前記有機層が形成されていることを特徴とする半導体装置。
5. (補正後) 請求項 4 記載の半導体装置であって、前記有機層と前記表面保護膜とを開孔してボンディングパッドが露出され、前記ボンディングパッドとリードとがワイヤを介して電氣的に接続されていることを特徴とする半導体装置。
- 15 6. 請求項 4 記載の半導体装置であって、前記表面保護膜は、酸化シリコン膜、窒化シリコン膜またはそれらの積層膜のいずれかであることを特徴とする半導体装置。
- 20 7. (補正後) 請求項 1 記載の半導体装置であって、前記ダイパッド部は、Fe-Ni 合金またはCuからなることを特徴とする半導体装置。
8. 以下の工程を含むことを特徴とする半導体装置の製造方法；
 - (a) 半導体ウエハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に有機層を形成する工程、
 - 25 (b) 前記有機層の上部に形成したフォトリジスト膜をマスクにしたエッチングで、前記最上層配線の上部の前記有機層と前記表面保護膜とを開孔することによりボンディングパッドを形成する工程、
 - (c) レジスト除去液を使って前記フォトリジスト膜を除去した後、前記有機層

を高温加熱する工程、

(d) 前記半導体ウエハをダイシングして半導体チップを得る工程、

(e) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載する工程、

(f) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

9. 請求項8記載の半導体装置の製造方法であって、前記レジスト除去液は、フェノール系の溶剤を主成分として含有することを特徴とする半導体装置の製造方法。

10. 請求項8記載の半導体装置の製造方法であって、前記(c)工程の後、前記(d)工程に先立ち、前記半導体ウエハの主面を第2のフォトリソ膜と保護テープとで覆った状態でその裏面を研削することにより、前記半導体ウエハの厚さを薄くする工程と、前記保護テープを除去した後、レジスト除去液を使って前記第2のフォトリソ膜を除去し、次いで前記有機層を高温加熱する工程とをさらに含むことを特徴とする半導体装置の製造方法。

11. (補正後) 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面上に最上層配線を形成した後、前記最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成し、次いで前記表面保護膜の上部に感光性ポリイミド樹脂層を形成する工程、

20. (b) 前記感光性ポリイミド樹脂層を露光、現像して、前記最上層配線の上部の前記感光性ポリイミド樹脂層に開孔を形成する工程、

(c) 前記開孔を形成した感光性ポリイミド樹脂層をマスクにしたエッチングで、前記最上層配線の上部の前記表面保護膜を開孔することによりボンディングパッドを露出させる工程、

25. (d) 前記感光性ポリイミド樹脂層を高温加熱する工程、

(e) 前記半導体ウエハをダイシングして半導体チップを得る工程、

(f) 前記半導体チップの外形寸法よりも小さい外形寸法を有するダイパッド部を備えたリードフレームを用意し、前記半導体チップを前記ダイパッド部に搭載する工程、

(g) 前記半導体チップおよび前記ダイパッド部を樹脂封止する工程。

- 1 2. (追加) 最上層配線の上部に形成された無機系の絶縁材料からなる表面保護膜を有機層で被覆した半導体チップを、前記半導体チップよりも外形寸法が小さいダイパッド部上に搭載し、前記半導体チップと前記ダイパッド部とを樹脂により封止した半導体装置であって、前記樹脂により封止された前記半導体チップの主面側は、前記有機層と前記樹脂とが界面を接しており、前記半導体チップの裏面側は、前記半導体チップと前記ダイパッド部とが重なった領域を除き、前記半導体チップと前記樹脂とが界面を接していることを特徴とする半導体装置。

1 3. (追加) 以下の工程を含むことを特徴とする半導体装置の製造方法；

- 10 (a) 半導体ウエハの主面上に形成した最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成した後、前記表面保護膜を有機層で被覆する工程、
(b) フォトリソ膜をマスクにして前記有機層の一部をエッチングする工程、
(c) リソ除去液を使って前記フォトリソ膜を除去した後、前記有機層をベーク処理する工程、
15 (d) 前記半導体ウエハを複数の半導体チップに分割した後、前記半導体チップを、前記半導体チップよりも外形寸法が小さいダイパッド部上に搭載し、前記半導体チップと前記ダイパッド部とを樹脂により封止する工程。

1 4. (追加) 以下の工程を含むことを特徴とする半導体装置の製造方法；

- (a) 半導体ウエハの主面上に形成した最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成した後、前記表面保護膜を有機層で被覆する工程、
20 (b) フォトリソ膜をマスクにして前記有機層の一部をエッチングする工程、
(c) リソ除去液を使って前記フォトリソ膜を除去した後、前記有機層をベーク処理する工程、
(d) 前記有機層の表面を第2のフォトリソ膜で覆った後、前記半導体ウエハの裏面を研削する工程、
25 (e) リソ除去液を使って前記第2のフォトリソ膜を除去した後、前記有機層をベーク処理する工程、
(f) 前記半導体ウエハを複数の半導体チップに分割した後、前記半導体チップを、前記半導体チップよりも外形寸法が小さいリードフレームのダイパッド部上

に搭載し、前記半導体チップと前記ダイパッド部とを樹脂により封止する工程。

15. (追加) 請求項14記載の半導体装置の製造方法であって、前記(e)工程のベーク処理は、前記有機層と前記樹脂との接着力が回復する温度で行なうことを特徴とする半導体装置の製造方法。

5 16. (追加) 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面上に形成した最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成した後、前記表面保護膜を有機層で被覆する工程、

(b) フォトリソ膜をマスクにして前記有機層の一部をエッチングする工程、

(c) リソ除去液を使って前記フォトリソ膜を除去し、次いで前記有機

10 層の表面を第2のフォトリソ膜で覆った後、前記半導体ウエハの裏面を研削する工程、

(d) リソ除去液を使って前記第2のフォトリソ膜を除去した後、前記有機層をベーク処理する工程、

(e) 前記半導体ウエハを複数の半導体チップに分割した後、前記半導体チップを、前記半導体チップよりも外形寸法が小さいダイパッド部上に搭載し、前記半導体チップと前記ダイパッド部とを樹脂により封止する工程。

17. (追加) 請求項16記載の半導体装置の製造方法であって、前記(d)工程のベーク処理は、前記有機層と前記樹脂との接着力が回復する温度で行なうことを特徴とする半導体装置の製造方法。

20 18. (追加) 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面上に形成した最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成した後、前記表面保護膜を感光性ポリイミド樹脂層で被覆する工程、

(b) 前記感光性ポリイミド樹脂層を露光、現像してその一部に開孔を形成した後、前記開孔が形成された前記感光性ポリイミド樹脂層をマスクにして前記表面保護膜の一部をエッチングする工程、

(c) 前記感光性ポリイミド樹脂層をベーク処理する工程、

(d) 前記半導体ウエハを複数の半導体チップに分割した後、前記半導体チップを、前記半導体チップよりも外形寸法が小さいダイパッド部上に搭載し、前記半

導体チップと前記ダイパッド部とを樹脂により封止する工程。

19. (追加) 請求項18記載の半導体装置の製造方法であって、前記(c)工程のベーク処理は、前記感光性ポリイミド樹脂層と前記樹脂との接着力が回復する温度で行なうことを特徴とする半導体装置の製造方法。

5 20. (追加) 以下の工程を含むことを特徴とする半導体装置の製造方法；

(a) 半導体ウエハの主面上に形成した最上層配線の上部に無機系の絶縁材料からなる表面保護膜を形成した後、前記表面保護膜を感光性ポリイミド樹脂層で被覆する工程、

10 (b) 前記感光性ポリイミド樹脂層を露光、現像してその一部に開孔を形成した後、前記開孔が形成された前記感光性ポリイミド樹脂層をマスクにして前記表面保護膜の一部をエッチングする工程、

(c) 前記感光性ポリイミド樹脂層をベーク処理し、またはベーク処理することなく、前記感光性ポリイミド樹脂層の表面をフォトレジスト膜で覆った後、前記半導体ウエハの裏面を研削する工程、

15 (d) レジスト除去液を使って前記フォトレジスト膜を除去した後、前記感光性ポリイミド樹脂層をベーク処理する工程、

(e) 前記半導体ウエハを複数の半導体チップに分割した後、前記半導体チップを、前記半導体チップよりも外形寸法が小さいダイパッド部上に搭載し、前記半導体チップと前記ダイパッド部とを樹脂により封止する工程。

20 21. (追加) 請求項20記載の半導体装置の製造方法であって、前記(d)工程のベーク処理は、前記感光性ポリイミド樹脂層と前記樹脂との接着力が回復する温度で行なうことを特徴とする半導体装置の製造方法。

特 許 協 力 条 約

発信人 日本国特許庁（国際予備審査機関）

出願人代理人

筒井 大和

Rec'd PCT

20 SEP 1999

殿

PCT

あて名

〒 160

東京都新宿区西新宿7丁目22番45号
N. S. Excel 301
筒井国際特許事務所

国際予備審査報告の送付の通知書

(法施行規則第57条)
(PCT規則71.1)発送日
(日.月.年)

16.02.99

出願人又は代理人
の書類記号

319600530971

重要な通知

国際出願番号

PCT/J P 98/01219

国際出願日

(日.月.年) 20.03.98

優先日

(日.月.年)

出願人 (氏名又は名称)

株式会社日立製作所

1. 国際予備審査機関は、この国際出願に関して国際予備審査報告及び付属書類が作成されている場合には、それらをこの送付書とともに送付することを、出願人に通知する。

2. 国際予備審査報告及び付属書類が作成されている場合には、すべての選択官庁に通知するために、それらの写しを国際事務局に送付する。

3. 選択官庁から要求があったときは、国際事務局は国際予備審査報告（付属書類を除く）の英語の翻訳文を作成し、それをその選択官庁に送付する。

4. 注 意

出願人は、各選択官庁に対し優先日から30月以内に（官庁によってはもっと遅く）所定の手続（翻訳文の提出及び国内手数料の支払い）をしなければならない（PCT39条（1））（様式PCT/IB/301とともに国際事務局から送付された注を参照）。

国際出願の翻訳文が選択官庁に提出された場合には、その翻訳文は、国際予備審査報告の付属書類の翻訳文を含まなければならない。

この翻訳文を作成し、関係する選択官庁に直接送付するのは出願人の責任である。

選択官庁が適用する期間及び要件の詳細については、PCT出願人の手引き第II巻を参照すること。

名称及びあて名

日本国特許庁（IPEA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

権限のある職員

特 許 庁 長 官

4 E

9 2 6 5

電話番号 03-3581-1101 内線 3425

注 意

1. 文献の写しの請求について

国際予備審査報告に記載された文献であって国際調査報告に記載されていない文献の複写

特許庁にこれらの引用文献の写しを請求することができますが、日本特許情報機構でもこれらの引用文献の複写物を販売しています。日本特許情報機構に引用文献の複写物を請求する場合は下記の点に注意してください。

〔申込方法〕

(1) 特許（実用新案・意匠）公報については、下記の点を明記してください。

○特許・実用新案及び意匠の種類

○出願公告又は出願公開の年次及び番号（又は特許番号、登録番号）

○必要部数

(2) 公報以外の文献の場合は、下記の点に注意してください。

○国際予備審査報告の写しを添付してください（返却します）。

〔申込み及び照会先〕

〒100 東京都千代田区霞が関3-4-2 商工会館・弁理士会館ビル
財団法人 日本特許情報機構 サービス課
TEL 03-3503-3900

注) 特許庁に対して文献の写しの請求をすることができる期間は、国際出願日から7年です。

2. 各選択官庁に対し、国際出願の写し（既に国際事務局から送達されている場合は除く）及びその所定の翻訳文を提出し、国内手数料を支払うことが必要となります。その期限については各国ごとに異なりますので注意してください。（条約第22条、第39条及び第64条(2)(a)(i)参照）

特 許 協 力 条 約

P C T

国際予備審査報告

(法第12条、法施行規則第56条)
〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号	3 1 9 6 0 0 5 3 0 9 7 1	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ I P E A / 4 1 6）を参照すること。	
国際出願番号 PCT/J P 9 8 / 0 1 2 1 9	国際出願日 (日.月.年) 2 0 . 0 3 . 9 8	優先日 (日.月.年)	
国際特許分類 (IPC) Int. Cl. H 0 1 L 2 3 / 5 0			
出願人 (氏名又は名称) 株式会社日立製作所			

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。
- ☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び／又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 9 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 2 0 . 0 3 . 9 8	国際予備審査報告を作成した日 0 9 . 0 2 . 9 9		
名称及びあて先 日本国特許庁 (I P E A / J P) 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 坂本 薫昭	4 E	9 2 6 5
電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 2 5			

様式PCT/I P E A / 4 0 9 (表紙) (1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

- ☒ 明細書 第 2-6, 9-12 ページ、 出願時に提出されたもの
明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書 第 1, 7, 8, 8/1 ページ、 11.05.98, 17.07.98 付の書簡と共に提出されたもの
11.01.99
- ☒ 請求の範囲 第 2-4, 6, 8-10 項、 出願時に提出されたもの
請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
請求の範囲 第 1, 5, 7, 11-21 項、 11.01.99 付の書簡と共に提出されたもの
- ☒ 図面 第 1-17 ~~ページ~~/図、 出願時に提出されたもの
図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの
- ☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

- ☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条（PCT35条(2)）に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲	3-6, 8-21	有
	請求の範囲	1, 2, 7	無
進歩性 (IS)	請求の範囲		有
	請求の範囲	1-21	無
産業上の利用可能性 (IA)	請求の範囲	1-21	有
	請求の範囲		無

2. 文献及び説明 (PCT規則70.7)

請求項1, 2, 7は、国際調査報告で引用された文献1 (JP, 9-162330, A (株式会社日立製作所)、20. 6月. 1997 (20. 06. 97)、段落【0031】【0034】【0037】) に記載されているので新規性を有さない。

請求項3-6, 8-21は、国際調査報告で引用された文献1及び文献2 (JP, 59-23242 4, A (株式会社日立製作所)、27. 12月. 1984 (27. 12. 84)、特許請求の範囲) に記載された発明に基いて、当業者が容易に発明をすることができたものと認められるから進歩性を有さない。